

INAF

**M-MATISSE DATA PROCESSING UNIT
&
PLASMA OBSERVATORY PARTICLE PROCESSING UNIT**

**PROPOSTA PER SUPPORTO FINO ALLA MISSION
CONSOLIDATION REVIEW (MCR)**

NAME	FUNCTION	SIGNATURE	DATE
F. Monti	Sales & Program Manager		18/09/24
G. Capuano	Technical Manager		18/09/24

Document Change Record

Issue	Date	Change description	Page affected
1	18/09/24	Prima emissione del documento	tutte

TABLE OF CONTENT

1	Introduzione.....	4
1.1	Scopo del documento	4
1.2	Documenti Applicabili	4
1.3	Acronimi	4
1.4	Sintetica descrizione del contesto delle attività	5
2	descrizione tecnica	7
2.1	M-MATISSE DPU	7
2.1.1	M-EPI DPU HW Requirement Assessment.....	7
2.1.2	M-EPI DPU SW Requirement Assessment.....	9
2.1.3	Descrizione architetturale dell'HW	10
2.1.4	Layout meccanico ipotizzato.....	16
2.1.5	Descrizione architetturale del SW	17
2.2	PLASMA OBSERVATORY PPU.....	24
2.2.1	PPU-M HW Requirement Assessment	24
2.2.2	PPU-M SW Requirement Assessment.....	26
2.2.3	Descrizione architetturale dell'HW	27
2.2.4	Descrizione architetturale del SW	35
2.3	Processo di conduzione delle attività di fase A	43
2.3.1	Livello di maturità, nuovi sviluppi e soluzioni tecnologiche riutilizzabili	44
2.3.2	Piani	46
2.3.3	Ciclo di sviluppo del SW	47
3	Proposta gestionale	49
3.1	Project team & persone chiave	49
3.2	Presentazione TSD	50
3.2.1	TSD Imaging Systems	53
3.2.2	Avionic System	57
3.2.3	Scientific payloads & instruments	60
3.2.4	Ground segment.....	62
3.2.5	FACILITIES	63
3.2.6	ORGANIZATION.....	65
	Informazioni generali	65
3.3	List of Deliverables	68
3.3.1	M-Matisse DPU	69
3.3.2	PO PPU.....	70
3.4	Attività di proposta	71
3.5	Pianificazione	72
4	offerta economica.....	73

1 INTRODUZIONE

1.1 Scopo del documento

Scopo del documento è sottoporre a INAF l'offerta tecnico-economica per le attività di supporto fino alla Mission Consolidation review delle due missioni M-Matisse e Plasma Observatory. In particolare per M-Matisse le attività si riferiscono alla Data Processing Unit mentre per Plasma Observatory alla Particle Processing Unit.

La proposta è presentata in risposta ed in conformità al documento di richiesta ricevuto in data 31-7-24

1.2 Documenti Applicabili

REF.	DOCUMENT TITLE
[AD 1]	Richiesta di stima economica per lo studio di Mission Consolidation Review delle missioni ESA M7: Plasma Observatory and M-Matisse (ricevuto il 31/7/2024)
[AD 2]	ESA-PMO-PLD-DRD-001_i1.0_PMO PL Document Requirements Definition
[AD 3]	ESA-M-MATISSE-PL-RS-001.2_PDD
[AD 4]	M-MATISSE DRL-DRD
[AD 5]	M-MATISSE CDF Report Space Environment

1.3 Acronimi

AD	Applicable Document
AIT	Assembly Integration Test
AIV	Assembly Integration Validation
ASI	Agenzia Spaziale Italiana
ASW	Application SoftWare
ASIC	Application-Specific Integrated Circuit
BSP	Board Support Package
BSR	Backplane & SpW Repeaters/Distributors
BSW	Boot SoftWare
CCSDS	Consultative Committee for Space Data Systems
CI	Configuration Item
COTS	Commercial Off-The-Shelf
CPU	Central Processing Unit
CSP	Compression & Scientific Processing
CSW	Cold Solar Wind ion analyser
DPU	Digital Processing Unit
E ² PROM	Electrically Erasable Programmable Read-Only-Memory
ECSS	European Coperation for Space Standardization
EDAC	Error Detection And Correction
EGSE	Electrical Ground Support Equipment

EPE	Energetic Particle Experiment
ESA	European Space Agency
ExOS	Extended Operating System
FDIR	Failure Detection Isolation and Recovery
FPGA	Field Gate Programmable Array
FSW	Flight SoftWare
HK	HouseKeeping
HW	HardWare
ICD	Interface Control Document
IF	Interface
I/O	Input/Output
INAF	Istituto Nazionale di AstroFisica
OS	Operating Sysytem
MCR	Mission Consolidation Review
MMT	M-Matisse
MRAM	Magnetoresistive Random-Access Memory
PCDM	Power Conditioning and Distribution Module
PMO	Plasma Observatory
PPU	Particle Processing Unit
PROM	Programmable Read-Only Memory
PUS	Packet-Utilization Standard
PVD	Particle Velocity Distribution
RAM	Random Access Memory
RTOS	Real Time Operating System
S/C	Spacecraft
S/S	Subsystem
SDRAM	Synchronous Dynamic Random-Access Memory
SDPSW	Scientific Data Processing SoftWare
SpW	SpaceWire
SRAM	Static Random Access Memory
SW	SoftWare
TBC	To Be Confirmed
TBD	To Be Defined
TC	TeleCommand
TM	TeleMetry
TRL	Technology Readiness Level
TSD	Techno system developments
UART	Universal Asynchronous Receiver/Transmitter
VHDL	VHSIC Hardware Description Language
WBS	Work Breakdown Structure
WDT	WatchDog Timer
WP	Work Package

1.4 Sintetica descrizione del contesto delle attività

La tipologia, la natura ed anche il contenuto delle attività relative alla fornitura della PPU di PO e della DPU di MMT sono molto ben chiare per TSD che è abituata a contribuire a programmi spaziali internazionali di natura scientifica, dove la pluralità di attori che concorrono con ruoli ed anche priorità diverse rappresentano una caratteristica peculiare.

Si vuole rendere noto che TSD è anche in grado di sfruttare l'esperienza maturata, in un contesto

sostanzialmente identico, per la SWA DPU; per TSD, che da sempre opera a servizio della comunità scientifica spaziale, è uno scenario tipico quello in cui c'è come utilizzatore delle proprie unità e interfaccia tecnica una entità costituita dalla comunità scientifica, da un prime contractor di payload, da un responsabile di piattaforma e ESA. E sono pertanto note le dinamiche operative e soprattutto le esigenze dei diversi attori.

Per affrontare lo scenario operativo descritto TSD ha ritenuto necessario organizzare la proposta esclusivamente con personale interno, adeguata alla dimensione del programma, focalizzata e sinergica dal punto di vista delle competenze tecniche, ma soprattutto coerente dal punto di vista della propensione verso la committenza scientifica che è la vera principale priorità di questo tipo di programmi. Sappiamo per esperienza che è necessario capire le esigenze scientifiche oltre che quelle tecniche per poter realizzare un'unità performante ma anche per poter creare quella necessaria sinergia e comunanza che servono per condurre le attività di progetto.

2 DESCRIZIONE TECNICA

La definizione delle architetture ipotizzate per la PPU e la DPU sono basate su un preliminare esame dei requisiti e delle informazioni ad oggi disponibili e discusse nel corso di alcuni meeting ai quali TSD ha partecipato. E' anche importante considerare che TSD ha in corso diversi sviluppi di cui la PPU e la DPU potrebbero beneficiare qualora la disponibilità di informazioni e requisiti più dettagliati richiedessero di modificare le soluzioni di baseline proposte.

2.1 M-MATISSE DPU

La definizione dell'architettura ipotizzata per la M-EPI DPU, sia HW che SW, è basata su un preliminare esame dei requisiti e delle informazioni ad oggi disponibili.

2.1.1 M-EPI DPU HW Requirement Assessment

Dalle informazioni disponibili si evince che l'HW della DPU dovrà essere dotato almeno delle seguenti interfacce esterne (verso la suite di strumenti e verso lo S/C):

- Interfacce di potenza:
 - ingressi di potenza (+28Vdc , Nominale e Ridondato) forniti dallo S/C
 - distribuzione potenza (+28Vdc) su 5 uscite indipendenti (assumendo che le teste degli strumenti abbiano ingressi di alimentazioni indipendenti) (2 verso SP@M, 2 verso M-EAS, 1 verso M-INEA)
- Interfacce dati:
 - SpaceWire Links (Nominale e Ridondato) verso lo S/C
 - SpaceWire Links indipendenti verso le teste ottiche degli strumenti (2+2 verso SP@M, 2 verso M-EAS e 2 verso M-INEA)

La DPU sarà quindi dotata di risorse HW in grado di implementare le principali funzionalità di seguito riassunte.

Funzionalità di comunicazione.

- Gestione della comunicazione con lo S/C (On-Board Data Handling System): ricezione di TC (per la DPU o gli strumenti della suite), invio della TM di HK per il monitoraggio della DPU e degli strumenti, invio della TM scientifica e delle informazioni ausiliarie prodotte a bordo ed utili a supportare il "down-link selettivo".
- Gestione della comunicazione con la suite di strumenti : invio di TC (generati o come routing di quelli ricevuti), ricezione di dati di TM scientifica e di HK
- Capacità di routing di informazioni tra strumenti, utili ad ottimizzare le misure per alcuni strumenti della suite
- Capacità di ricezione e/o routing di informazioni correlate alla gestione del tempo di bordo e al protocollo di sincronizzazione (inclusi gli strumenti)

Funzionalità di memorizzazione di massa e processing.

- Gestione della memorizzazione a bordo, in memorie di massa locali, dei dati scientifici provenienti dagli strumenti della suite (in particolare, durante il burst-mode) e/o di dati parziali processati, calcolati, compressi, etc.
- Produzione delle 3D particle velocity distribution functions (VDF) a partire dai conteggi di particelle forniti dagli strumenti della suite e dai parametri di calibrazione (eventualmente anche memorizzati a bordo in memorie non volatili)
- Calcolo dei Momenti delle VDF (risoluzione temporale richiesta TBC, e se l'elaborazione

richiesta è in real-time,TBC)

- Produzione di altre informazioni ausiliarie a partire dai conteggi di particelle forniti dagli strumenti ed utili a supportare il “down-link selettivo”.
- Compressione delle VDF 3D derivate con algoritmo loss-less
- Formattazione CCSDS necessaria per gli scambi di TM/TC

In particolare, si riporta qui di seguito anche una tabella di data budget (TBV, preliminare) di quelli che sono previsti essere i principali flussi di dati scientifici ipotizzati:

Sensor	Data Volume estimated	Data Rate expected (TBV)
M-EAS	280 Mbit / day	10.8 kbps
M-INEA	86 Mbit / day	2048 bits/s with 1 second resolution TBV peak during calibration
SP@M	130Mbit / day	1.5 kbps x 2 (configurable)

Tabella 1: Preliminary Data budgets

Funzionalità relative alla ricezione della potenza dallo S/C.

- Switch di potenza per gli ingressi primari +28Vdc (Nominale e Ridondato) forniti dallo S/C
- Interfacce di comando On/Off e di status per la DPU
- protezioni sull'ingresso (OVP,OCP,UVP
- eventuali monitoring di tensione e corrente,TBC

Funzionalità relative alla distribuzione della potenza verso l'esterno.

- Switch di potenza per le uscite +28Vdc indipendenti verso la suite di strumenti
- Interfacce di comando On/Off e di status (verso l'interno della DPU)
- protezioni sulle uscite (OVP,OCP,etc.)
- monitoring delle correnti erogate

Funzionalità relative al condizionamento e distribuzione della potenza verso l'interno.

- Main DC/DC conversion (+28Vdc to +5Vdc, TBC)
- protezioni sulla uscita secondaria (OVP,OCP,etc.)
- Generazione di altre alimentazioni secondarie (+3.3v,+1.0v,etc.)
- Interfacce di comando On/Off e di status (verso l'interno della DPU, per eventuali parti dell'HW accese solo quando utilizzate)
- Eventuali monitoring di tensioni e correnti secondarie
- Funzionalità di sincronizzazione

Inoltre, in generale, si presume che tutte le funzionalità descritte debbano essere implementate in modo ridondante dalla DPU. La gestione ottimale della ridondanza dovrebbe essere anch'essa oggetto di studio ed implementazione a vario livello (scheda, sotto-unità,etc.).

Comunque, è già evidente, che le I/F SpaceWire e di potenza verso ogni singola testa ottica, non sono intrinsecamente ridondate; come conseguenza di ciò, l'architettura globale della DPU deve tener conto della presenza di queste “parti comuni”: ciò risulta semplice per le uscite di potenza, dove sarà sufficiente implementare una OR di diodi, ma più complesso per gli SpaceWire che sono, da standard, concepiti come link punto-punto; per questi ultimi, sarà quindi richiesto l'uso di circuiti ripetitori/distributori discreti o eventualmente di router SpaceWire integrati (il dettaglio potrà essere

oggetto di studio, ottimizzazioni, trade-off, etc.).

2.1.2 M-EPI DPU SW Requirement Assessment

Dall'analisi delle informazioni disponibili, emerge che la DPU SW dovrà essere in grado di offrire le seguenti funzionalità:

- Gestione della comunicazione con lo S/C
 - o ricezione, check ed esecuzione dei comandi inviati da terra (comandi specifici della DPU e/o degli strumenti della suite)
 - o creazione ed invio della telemetria di HK per il monitoraggio della DPU e degli strumenti
 - o creazione ed invio della telemetria scientifica (contenente i dati scientifici prodotti dagli strumenti)
- Gestione della comunicazione con gli strumenti
 - o invio dei comandi, routing dei comandi ricevuti da terra e/o invio di comandi specifici configurati a bordo della DPU
 - o acquisizione dei dati scientifici (formato CCSDS o custom a seconda dello strumento)
 - o acquisizione degli HK (formato CCSDS o custom a seconda dello strumento)
 - o power on/off
 - o gestione delle diverse modalità di produzione dei dati scientifici (survey mode e burst mode)
 - o salvataggio di un periodo predefinito di dati scientifici prodotti in strutture dati dedicate (es. salvataggio degli ultimi Xs di dati scientifici prodotti utilizzando ad esempio dei rolling buffer)
- Data Processing dei dati scientifici prodotti dagli strumenti, in particolare calcolo dei momenti e compressione delle 3D VDF
- Gestione della configurazione degli strumenti attraverso parametri e/o tabelle salvate a bordo della DPU
- Assistenza ai modi di calibrazione degli strumenti
- Time synchronization, gestione del tempo di bordo e del protocollo di sincronizzazione sia lato DPU (aggiornamento del tempo attraverso la ricezione del tempo dallo S/C e sincronizzazione attraverso la gestione del timecode SpaceWire) che strumenti (es. invio periodico del tempo di bordo e timecode agli strumenti)
- Implementazione di logiche di FDIR e Monitoring
- Gestione dei modi operativi

Possiamo affermare che l'architettura proposta per le varie componenti SW (Basic SW, SDP SW, ASW) più l'indicazione relativa ad un sistema operativo real-time multitasking largamente utilizzato in ambito spaziale, è integralmente conforme allo svolgimento dei compiti indicati.

Inoltre si è posta particolare attenzione nell'individuare una soluzione relativa all'implementazione di un SW con funzionalità ridotte (Bootstrap SW) che oltre a prendersi carico dell'inizializzazione dell'HW e nell'effettuazione di opportuni check di integrità delle memorie del sistema, offre anche un set ridotto di funzionalità che permettono comunque di stabilire la comunicazione con lo S/C per operazioni che permettono di ripristinare il sistema in caso di errori (es. patch del SW in caso di corruzione della memoria dove è salvato).

Si vuole inoltre sottolineare che il Basic SW così come l'SDPSW ha, dal punto di vista dell'architettura e delle funzionalità, numerosissime analogie con lo stesso SW già sviluppato nell'ambito della Data Processing Unit (DPU) della suite Solar Wind Analyzer di Solar Orbiter. Pertanto nel corso dello sviluppo si potrà beneficiare dell'heritage di questa attività e riutilizzare gran parte del design, del codice e delle procedure di test. In particolare per quanto riguarda l' SDPSW un'analisi molto estesa dei requisiti e dell'architettura è presente nell'allegato 1 alla presente

proposta

La proposta di utilizzare come sistema operativo VxWorks di WindRiver è ampiamente motivata ma non deve essere considerata vincolante; nel caso sia necessario utilizzare un sistema operativo differente (es. RTEMS) per motivi di uniformità all'interno programma, si potrà utilizzare un sistema operativo diverso senza che questa scelta abbia impatti sull'architettura software proposta.

2.1.3 Descrizione architetturale dell'HW

La figura seguente mostra una possibile architettura globale preliminarmente ipotizzata per la DPU sulla base delle informazioni attualmente disponibili.

Naturalmente, l'architettura definitiva della DPU, sarà il risultato di trade-off che avranno come obiettivo la definizione di un sistema capace di effettuare tutti i task computazionali richiesti (a loro volta in fase di definizione), cercando di tenere contemporaneamente entro limiti ottimali i budget di massa, volume, consumo di potenza.

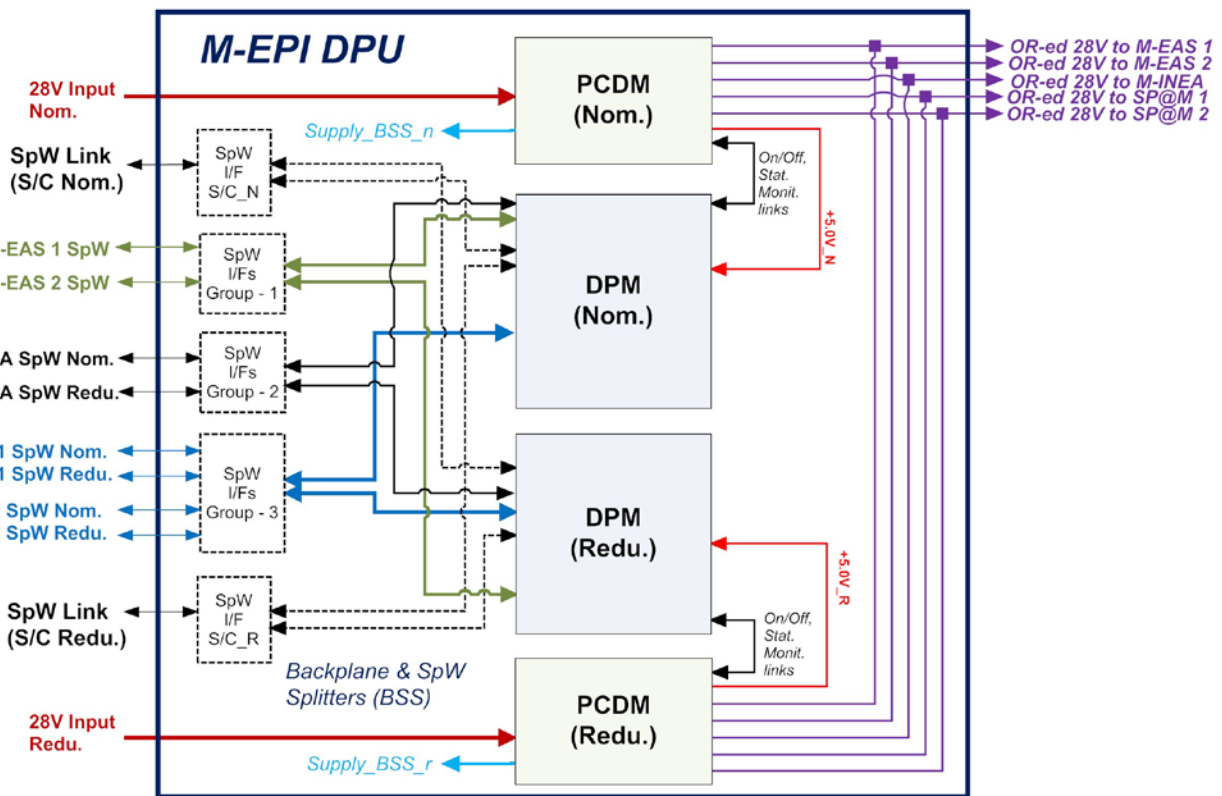


Figura 2: Architettura globale ipotizzata per la DPU

Come si evince dal diagramma a blocchi, la DPU fornirà sostanzialmente allo spacecraft un'interfaccia comune di alimentazione, di scambio di TM/TC, e più in generale, di controllo dell'intera suite di strumenti.

L'utilizzo di un'unica unità d'interfaccia e processing per la suite, agevolerà la gestione dei dati scientifici prodotti da una molteplicità di strumenti, consentendone una più agevole correlazione; risulterà anche semplificato il routing di informazioni da/per altri strumenti dello S/C.

Come si può notare dalla figura, per ragioni di tolleranza ai guasti, si è ipotizzato che la DPU

contenga due intere sotto-unità (DPU-Nominal e DPU-Redundant), operanti in ridondanza fredda, ciascuna capace di gestire tutte le I/F ed implementare tutte funzionalità della DPU.

Le due sotto unità avranno in comune solo un "Backplane & SpW Repeater/Distributor" (BSRD) che includerà tra l'altro i circuiti di front-end necessari per le interfacce SpaceWire; questa parte risulterà essere la sola non ridondata dell'intera DPU (il che, peraltro, è una limitazione che non può essere rimossa perché è una conseguenza dell'architettura dei sensori che non dispongono di link SpaceWire ridondata).

Analizzando quindi in dettaglio l'unità ridondata, essa risulterà globalmente composta da:

- un modulo "Backplane & SpW Repeater/Distributor" (BSRD)
- due moduli "Data Processing Modules" (DPM)
- due moduli "Power Conditioning Module" (PCDM)

Ove necessario per ragioni di distribuzione dei componenti elettronici nel volume assegnato, i moduli DPM e PCDM potranno includere una mother board ed una daughter board distinta.

Per la DPM potremmo distribuire l'HW in due diverse schede (se necessario) :

- una DPM-F (Data Processing Module FPGA board)
- una DPM-P (Data Processing Module Processor board)

Per la PCDM potremmo distribuire l'HW in due diverse schede (se necessario):

- una PCMB (Power Conditioning Mother-board)
- una PDB (Power Distribution board)

▪ Sezione HW digitale

L'architettura preliminarmente ipotizzata è basata sull'utilizzo congiunto di almeno un processore LEON3FT (o LEON4FT) ASIC e una FPGA necessaria all'implementazione di dettaglio dei diversi VHDL IP Core per le interfacce dati (SpaceWire per esempio) e potenzialmente operante come acceleratore HW (ciò potrebbe risultare utile per il processing intensivo legato alle operazioni di calcolo delle VDF, dei momenti, e della compressione loss-less).

Una simile architettura introduce un certo grado di flessibilità in termini di capacità di processing dei dati, consentendo l'implementazione di diverse soluzioni di partizionamento tra HW e SW dei carichi computazionali (che sono ancora da approfondire).

In particolare, esplodendo in maggior dettaglio la DPM evidenziamo quanto nel diagramma a blocchi in figura seguente (TBC) che va considerata come la baseline iniziale di lavoro che potrebbe essere oggetto di approfondimenti e miglioramenti anche in funzione dei "lesson learned" derivanti dall'esperienza della DPU di SWA (Solar Wind Analyser) cui l'architettura è chiaramente ispirata e/o in funzione di nuovi requisiti specifici di M-EPI.

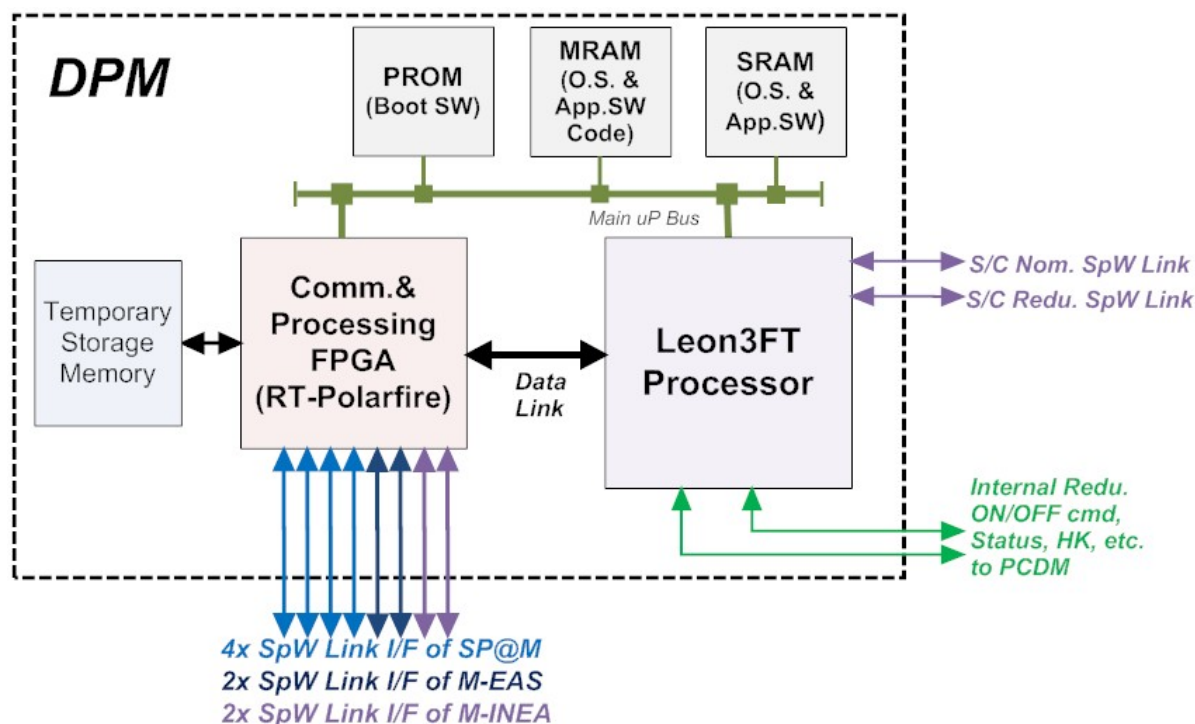


Figura 3: Diagramma a blocchi ipotizzato per la sezione digitale della DPU (DPM)

L'FPGA implementerà principalmente le funzionalità relative all'interfacciamento dei link SpaceWire e memorizzazione di massa dei dati ricevuti ed in attesa di essere processati, oltre che eventualmente funzioni di processing (in dipendenza dalle risorse logiche residue disponibili).

Le attività dell'FPGA saranno controllate dal processore (i candidati sono il LEON3FT dual core indicato o il LEON4FT quad core) attraverso un link dedicato point-to-point, o viste come spazio di I/O memory mapped (TBC).

Il modulo DPM ospiterà poi, oltre al processore, la memoria SRAM necessaria per l'esecuzione del codice ed altre memorie MRAM non volatili ospitanti il codice eseguibile ed il "Boot-SW" (quest'ultimo tipicamente in PROM o FRAM).

Tra l'altro, essendo tipicamente i processori della famiglia Leon dotati anche di I/F SpaceWire, alcune di queste potrebbero anche essere connesse direttamente al processore, come ad esempio quelle dialoganti direttamente con lo S/C.

- Selezione del Processore candidato

Negli ultimi anni si è avuta una rapida evoluzione, rispetto ai decenni passati, delle architetture dei microprocessori per uso spaziale. Assumendo di adottare un microprocessore della famiglia LEON, che rappresenta oramai una scelta consolidata, sulla quale soprattutto le aziende europee stanno accumulando un know-how significativo, la tabella seguente riporta l'evoluzione dei microprocessori di questa famiglia.

Manufacturer	Product	Word length [Bit]	Performance [MIPS]	Rate [MHz]	Total Dose [Rad(Si)]	Single Event Latch-up Resistance [MeV/mg/cm2]
--------------	---------	-------------------	--------------------	------------	----------------------	---

ATMEL	AT697F (LEON2FT)	32	86	100	300Krad	70
Aeroflex/UTMC	UT699 (LEON3FT)	32	92	66	100Krad	<108
Aeroflex/UTMC	UT699E (LEON3FT)	32	140	100	100Krad	<110
Aeroflex/UTMC	UT700 (LEON3FT)	32	233	166	100Krad	<110
Aeroflex/UTMC	GR712RC (LEON3FT)	32	140	100	100Krad	>118
Aeroflex/UTMC	GR740 (LEON4FT)	32	>400	250	300Krad	>125

Tabella 2- Evoluzione della Famiglia di Microprocessori LEON

La selezione preliminare del processore ha evidenziato il GR712RC come candidato base (TBC/TBV). I due Core nel GR712RC possono funzionare fino a 100 MHz. Ciò fornisce fino a 200 MIPS e 200 MFLOPS di prestazioni di picco.

Le caratteristiche principali del GR712RC sono le seguenti:

- Due processor LEON3-FT SPARC V8 compliant 32-bit, equipaggiati con High-performance double-precision IEEE-754 floating point co-processor (GRFPU), 16KiB multi-way instruction cache and 16 KiB multi-way data cache
- On-chip high speed AMBA (AHB) bus
- Due Timer a 32-bit timers e watchdog
- interrupt controller fino a 31 interrupts
- On-chip 192 Kbyte SRAM memory con EDAC
- External memories: SRAM, SDRAM, FLASH PROM / EEPROM and parallel I/O supportati, ad 8 bits o 32 bits data bus e wait-states programmabili
- Due porte SpaceWire con supporto RMAP target e max 200 Mbps data rate
- I/O selection matrix con possibilità di connettere un subset di embedded I/O :
 - ✓ Quattro SpaceWire links
 - ✓ Interfacce MIL-STD-1553B ridondanti
 - ✓ Due CAN 2.0B bus controllers
 - ✓ Sei UART ports, with 8-byte FIFO
 - ✓ Ethernet MAC with RMII 10/100 Mbps port
 - ✓ Porte seriali SPI/I2C
 - ✓ CCSDS/ECSS 5-channel Telecommand decoder, 10 Mbps input rate
 - ✓ CCSDS/ECSS Telemetry encoder, 50 Mbps output rate
 - ✓ 26 input and 38 input/output general purpose ports
- -55°C to +125°C temperature range
- Radiation tolerance:
 - ✓ TID: up to 300 krad(Si)
 - ✓ SEL: > 118 MeV-cm²/mg
 - ✓ SEU: tolerance with hardened flip-flops and error correction for on-chip memories
 - ✓ Error detection and correction on external memories

Nella figura seguente riportiamo lo schema a blocchi interno del processore

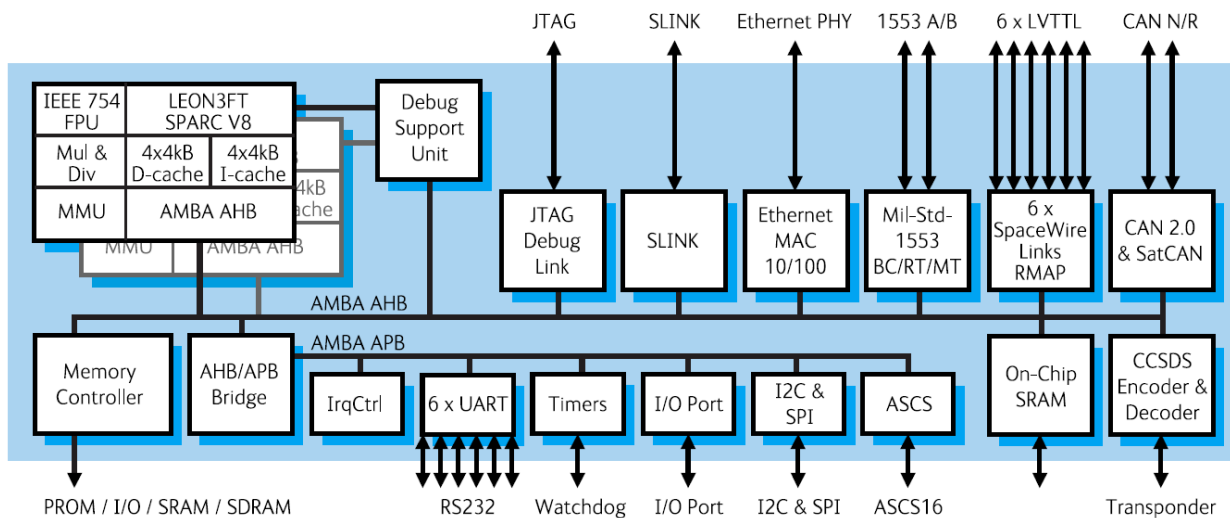


Figure 3 - GR712RC processor internal block diagram

Tra le alternative che potrebbero essere prese in considerazione, qualora successive analisi evidenzino l'opportunità di far implementare direttamente al processore centrale, la maggior parte degli algoritmi, c'è il microprocessore di ultima generazione LEON4FT Quad-Core.

▪ Sezione HW Analogico e di potenza della DPU

A causa del numero di canali e associati circuiti di sezionamento, protezione, monitoraggio, conversione analogico/digitale, etc. le sezioni HW analogiche e di potenza della DPU (il modulo PCDM) potrebbero essere implementate mediante due distinte schede: la PCMB e la PDB. In particolare, le funzionalità risulteranno così suddivise:

Per la scheda "Power Conditioning Mother-board" (PCMB):

- main switch per l'ingresso +28Vdc
- elettronica di interfaccia per eventuali comandi On/Off in ingresso o Status in uscita alla DPU
- Main DC/DC converter (da +28Vdc a +5Vdc, TBC)
- Generazione di altre alimentazioni secondarie (sezioni elettroniche comuni del BSRD, etc.)
- protezioni sulle uscite secondarie (OVP, OCP, etc.)
- Eventuali monitoring di tensioni e correnti secondarie e relativa conversione Analogico/Digitale
- Generazione segnali di sincronizzazione e di power-sequencing
- interfacce di lettura dati digitali di HK verso la scheda CPU

Per la scheda "Power Distribution board" (PDB):

- Switch di potenza per le uscite +28Vdc indipendenti (TBD/TBV se richiesta l'interruzione di entrambi i conduttori di andata e ritorno)
- Interfacce di comando On/Off e di status (verso l'interno della DPU, parte digitale)
- protezioni sulle uscite (OVP, OCP, etc.)
- monitoring delle correnti erogate, temperature, etc. e relativa conversione Analogico/Digitale
- interfacce di comando e lettura di status verso la sezione digitale (DPM)
- interfacce di lettura dati digitali di HK verso la sezione digitale (DPM)
-

DPU Power section functional block diagram

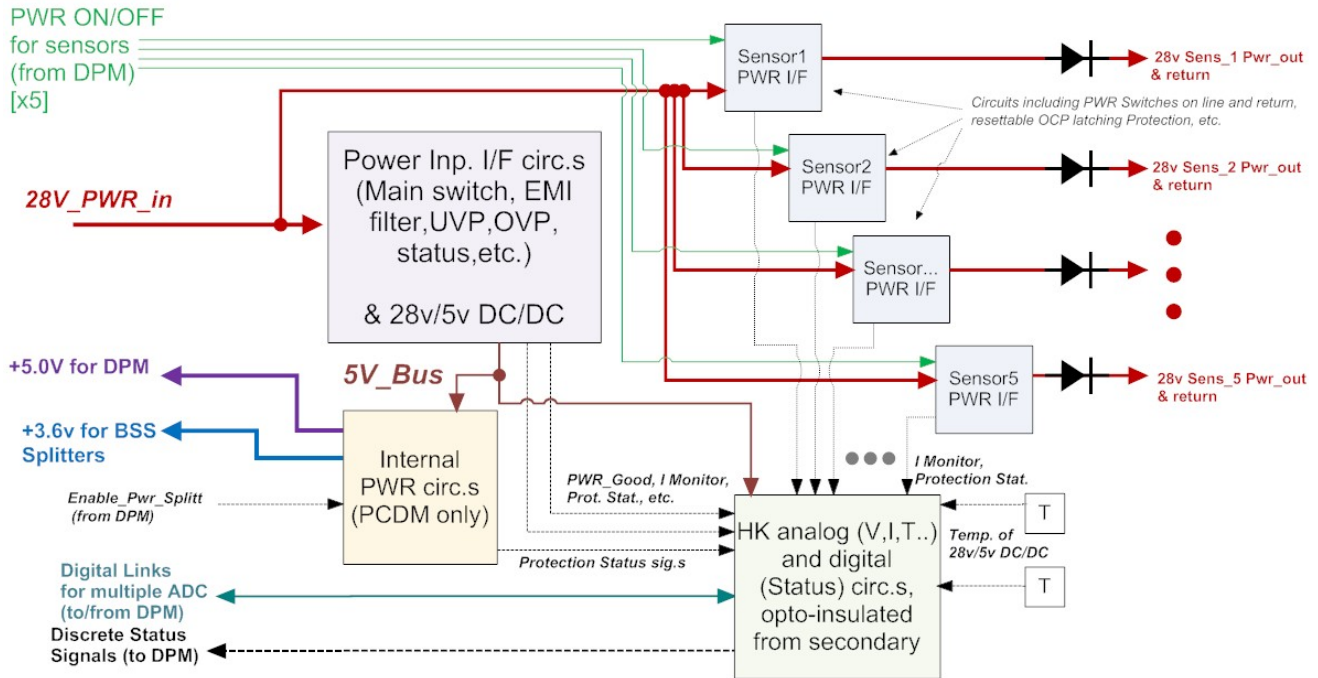


Figure 4 – DPU PCDM high level block diagram

2.1.4 Layout meccanico ipotizzato

Il design meccanico dell'unità DPU sarà sviluppato in accordo allo standard meccanico "IEEE Mechanical Standard 1101.2" per i sistemi raffreddati tramite conduzione per il trasferimento di calore tra i moduli e la struttura.

La tipologia di design strutturale e termo-strutturale è la stessa già adottata in passato per altri cabinet già esistenti e sviluppati da TSD.

La struttura mostra delle ottime prestazioni in termini di capacità di raffreddamento per conduzione, e ciò è stato evidenziato sia tramite simulazioni numeriche che tramite campagne sperimentali in ambiente termo-vuoto.

Nell'unità DPU tutte le schede sono dotate di un frame di irrobustimento. Tale frame viene realizzato come un unico oggetto e prevede irrobustimenti in entrambe le direzioni della scheda (sia in larghezza che in lunghezza).

Inoltre è previsto l'utilizzo di un "card-lock" su ciascun lato del frame di supporto della scheda. A valle dell'inserimento della scheda nella struttura e del serraggio del card-lock, quest'ultimo si espande, bloccando le schede al cabinet.

L'unità viene progettata e realizzata secondo gli standard meccanici/termici interni di TSD, già qualificati ed adoperati in diverse applicazioni spaziali.

Le dimensioni del cabinet ed in particolare un'area di base di 250 x 220 mm sono il risultato di un'analisi preliminare dei requisiti e dell'architettura ipotizzata, tesa alla minimizzazione della massa e del volume complessivo.



Figura 4: Plausibile configurazione del cabinet della DPU

2.1.5 Descrizione architetturale del SW

Il software della DPU può essere suddiviso in tre componenti principali:

- DPU Basic SW, di cui fanno parte il Bootstrap SW, il *LEON3 Board Support Package (BSP)* e l'*Extended Operating System (ExOS)*
- DPU Operating System
- DPU Application and Scientific Data SW

La figura seguente mostra la decomposizione dell'intero SW; In particolare si identifica come Flight Software (FSW) l'insieme dei seguenti moduli:

- LEON3 BSP
- RTOS
- ExOS
- SDPSW
- ASW

Nel prosieguo della descrizione si conviene di utilizzare i nomi BSP ed ExOS.

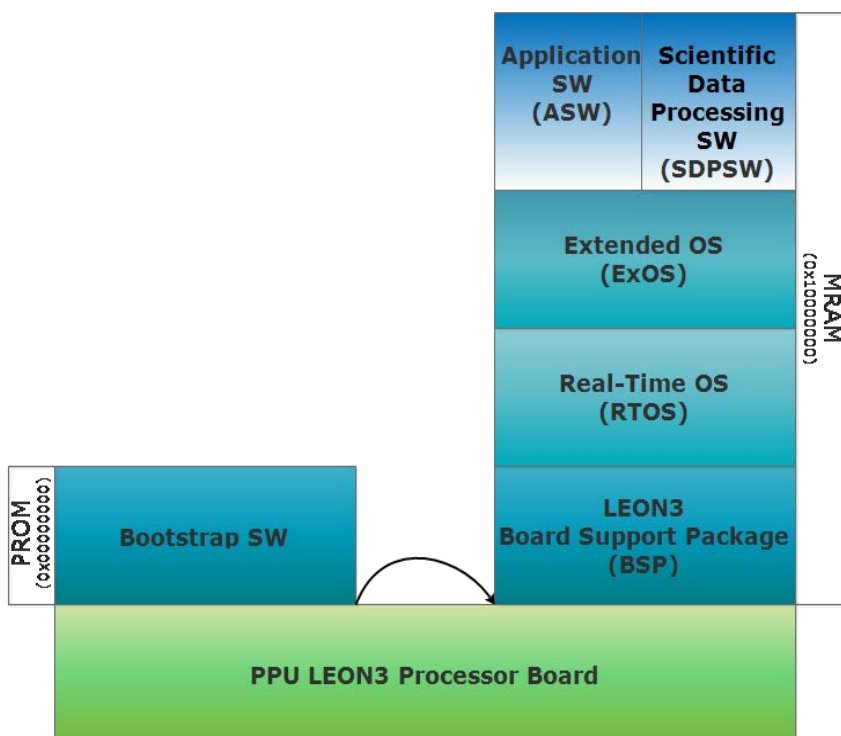


Figura 5: Componenti DPU Software

▪ DPU Basic SW

Con riferimento alla figura sopra, il DPU Basic SW (BSW) è composto da:

- Bootstrap SW
- LEON3 BSP
- ExOS

▪ Bootstrap SW

Il Bootstrap SW è un applicativo minimale che richiede poche risorse hardware ma svolge attività critiche. Esso viene eseguito automaticamente al power on della DPU (cold boot) o a valle di un reset del processore (warm boot).

Come si evince dal nome, l'attività principale del Bootstrap è quella di effettuare l'inizializzazione delle risorse hardware ed eseguire il software applicativo. In aggiunta esso svolge attività di check delle memorie di sistema e stabilisce la comunicazione con lo S/C su link SpaceWire per lo scambio e la gestione di un ridotto set di telemetrie e telecomandi.

Il Bootstrap risiede in una PROM (TBC) di dimensioni limitate (64KB sono in generale sufficienti) e pertanto non è possibile effettuare upgrade in volo. Per questa sua caratteristica è auspicabile mantenere la struttura del software quanto più semplice possibile così da poter essere estensivamente testato prima della missione. Per ragioni di dimensione del codice e per la già citata esigenza di testabilità non si prevede l'utilizzo di alcun sistema operativo per il Bootstrap SW.

Le principali attività del Bootstrap SW sono qui di seguito dettagliate:

Inizializzazione Hardware

L'inizializzazione hardware comprende due fasi:

- a. Inizializzazione low level che è eseguita dal boot loader di LEON il quale è linkato assieme al Bootstrap SW per mezzo della utility mkprom fornita dalla toolchain BCC di Gaisler. Il bootloader esegue le seguenti operazioni:
 1. Inizializzazione dei registri della IU e FPU del LEON
 2. Inizializzazione del controller di memoria, delle UART e della timer unit
 3. Decompressione e copia in RAM del Bootstrap SW
 4. Inizializzazione dello stack e d esecuzione dell'applicazione
- b. Inizializzazione high level che è eseguita dal Bootstrap SW come prima attività e che consiste in:
 1. Installazione di vari interrupt/trap handlers
 2. Configurazione delle interfacce SpaceWire (main e redundant) verso lo S/C
 3. Check dello stato dei link SpaceWire
 4. Inizializzazione della comunicazione con le altre boards della DPU e check delle boards

Check Memorie

Il check delle memorie è eseguito su tutte le memorie volatili (SRAM/SDRAM) e su quelle non volatili (MRAM).

Il check sulle memorie volatili viene eseguito per mezzo di test standard per la verifica dell'integrità delle memorie e tipicamente consistono nella scrittura di tutta la memoria di pattern predefiniti e nella loro riletture e verifica.

Il check sulle memorie non volatili consiste nella verifica dell'integrità del codice del SW applicativo e di tutte le annesse aree di dati che sono memorizzati su di esse mediante calcolo del CRC a blocchi

Gestione Telemetria

Il Bootstrap SW durante l'esecuzione trasmette alcuni pacchetti di telemetria allo S/C in accordo allo standard PUS. Tra i servizi disponibili saranno utilizzati i seguenti:

Servizio 1: Telecommand verification service

Mediante questo servizio il Bootstrap SW notifica lo S/C dell'esito di un telecomando ricevuto. I seguenti pacchetti di telemetria saranno utilizzati:

- TM(1,1)/TM(1,2): telecommand acceptance report success/failure
- TM(1,7)/TM(1,8): telecommand execution completed success/failure

Servizio 3: HK data reporting service

Mediante questo servizio saranno inviati periodicamente o su richiesta allo S/C due pacchetti di

telemetria TM(3,25):

- Boot Status TM che contiene una struttura con informazioni relative al risultato dei check di memoria effettuati e alle copie dell'FSW residenti in MRAM (versione, size, CRC, ...)
- Monitoring HK TM che contiene parametri analogici e digitali essenziali e vitali di DPU (tensioni, correnti, temperature, status, ...)

Servizio 5: Event reporting service

Mediante questo servizio saranno inviati allo S/C pacchetti di telemetri di evento TM(5,x) o al termine di ogni fase dell'esecuzione del Bootstrap SW in caso di esito positivo o ogni qual volta si registra un'anomalia

Servizio 6: Memory management service

Mediante questo servizio saranno inviati allo S/C pacchetti di telemetria di tipo:

- TM(6,6): memory dump con indirizzo assoluto
- TM(6,10): memory check con indirizzo assoluto

Gestione Telecomandi

Dopo la fase di inizializzazione e check delle memorie il Bootstrap SW esegue un ciclo in cui è in grado di ricevere e gestire comandi dallo S/C (vedi Figura 7). Tra i servizi messi a disposizione dallo standard PUS, il Bootstrap SW utilizzerà quelli relativi ai servizi indicati di seguito. Telecomandi che non rientrano nelle categorie indicate saranno rigettati.

Servizio 6: Memory management service

Mediante questo servizio saranno gestiti i seguenti telecomandi da S/C:

- TC(6,2): load memory con indirizzo assoluto per l'aggiornamento di codice e/o tabelle in volo su memoria riscrivibile (RAM e/o MRAM)
- TC(6,5): richiesta di memory dump con indirizzo assoluto
- TC(6,9): richiesta di memory check con indirizzo assoluto

Servizio 9: Time management service

Mediante questo servizio sarà possibile ricevere da S/C il tempo di riferimento dello spacecraft e sincronizzare il tempo di DPU che sarà utilizzato per taggare tutte le telemetrie inviate allo S/C

Esecuzione FSW

Il software applicativo risiede in memoria non volatile (MRAM). Essendo disponibili due banchi di MRAM (main e redundant) è possibile avere sempre almeno due copie del FSW in linea. Una possibile strategia potrebbe essere che la copia nel banco main è quella di riferimento e non viene mai modificata, mentre quella nel banco redundant è suscettibile di modifiche in volo. Con riferimento alla Figura 6 l'esecuzione del FSW avviene dopo che il Bootstrap SW riceve un comando dedicato che contiene l'informazione sulla copia del FSW da eseguire. Il Bootstrap SW abilita la corrispondente MRAM (main o redundant) ed effettua un jump all'indirizzo 0x10000000 (base address della MRAM). A questo punto il controllo viene rilasciato al software residente in MRAM, in particolare come prima operazione un bootloader decompime e carica il sistema operativo in RAM, dopodiché viene caricato ed eseguito il modulo ExOS ed infine l'applicativo vero e proprio. Questo è possibile perché il FSW residente su MRAM è separabile in quattro moduli principali (RTOS+BSP, ExOS, SDPSW e ASW) che sono fisicamente caricati a quattro indirizzi di memoria distinti. Il beneficio di questa architettura è che in caso di modifiche al software in volo, si potrà aggiornare solo il modulo coinvolto, presumibilmente l'ASW o l'SDPSW essendo il sistema operativo e l'ExOS meno suscettibili di modifiche

Funzionalità di FDIR

Il Bootstrap SW data la sua importanza deve poter mettere a disposizione delle funzionalità di FDIR che permettano di risolvere o mitigare eventuali fault software. I servizi di base offerti in questo ambito sono:

- EDAC e Memory Scrubbing

Durante il ciclo principale di gestione dei telecomandi il Bootstrap SW effettua continuamente la lettura di tutte le aree di memoria (memory scrubbing) durante i periodi di idle del processore. Nel caso di rilevamento di un single-bit error, il meccanismo di EDAC interviene nella correzione mentre il relativo servizio software tiene traccia del numero di correzioni effettuate ed avverte S/C mediante una telemetria di evento

- Exception Handling

In questa categoria rientrano tutti i fault che non possono essere autonomamente recuperati dal SW, come ad esempio double-bit error sulle memorie di sistema o bus exception durante instruction fetch, data load o data store e più in generale tutte le condizioni di errore che generano "traps" a livello del processore. Il servizio software in questo caso installa dei trap handler dedicati che avvertono S/C mediante telemetrie di evento. La gestione del fault dipenderà dalla strategia di FDIR di sistema, in generale questa categoria di fault richiede un reboot del sistema

- Gestione Watchdog Timer

Il ciclo principale prima citato, effettua periodicamente anche il retrigger del watchdog timer (WDT). Il WDT è collegato al segnale di reset del processore, pertanto nel caso in cui esso non viene retriggerato in tempo, il processore viene resettato. Questo meccanismo permette di recuperare eventuali blocchi del software

- HK range checking

E' possibile effettuare dei check su alcuni parametri di housekeeping critici, ad esempio una verifica che non vengano superate delle soglie predefinite nel qual caso verranno generate delle telemetrie di evento verso S/C ed effettuate delle azioni che dovranno essere stabilite dalla strategia di FDIR di sistema

- LEON3 BSP

Il Board Support Package (BSP) è un componente software COTS fornito da Cobham Gaisler ed è generale per sistemi basati su processore LEON. Esso rappresenta l'interfaccia tra il sistema operativo e l'hardware sottostante in quanto si occupa dell'inizializzazione del processore e delle periferiche di base. Il BSP è configurabile, nel senso che è possibile includere solo le funzionalità relative alla configurazione hardware della processor board. In particolare nel caso di DPU i seguenti dispositivi hardware saranno selezionati e configurati all'interno del BSP:

- LEON3 CPU
- FPU
- Interrupt controller
- Timer unit
- GPIO driver
- SpaceWire driver
- UART console/terminal driver (utilizzata solo in fase di sviluppo)
- 10/100/1000 Ethernet networking (for utilizzata solo in fase di sviluppo)

- ExOS

L'Extended Operating System (ExOS) è un componente software sviluppato da TSD nel corso di vari progetti e rappresenta uno strato software intermedio tra il BSP/RTOS e l'applicativo software ASW.

Questo strato maschera i meccanismi del RTOS e BSP che hanno una stretta connessione con l'hardware e fornisce all'utente una serie di servizi standard di data handling più servizi custom che

dipendono di volta in volta dalla particolare applicazione. La seguente Figura 7 indica i servizi forniti da ExOS resi disponibili ad ASW e SDPSW:

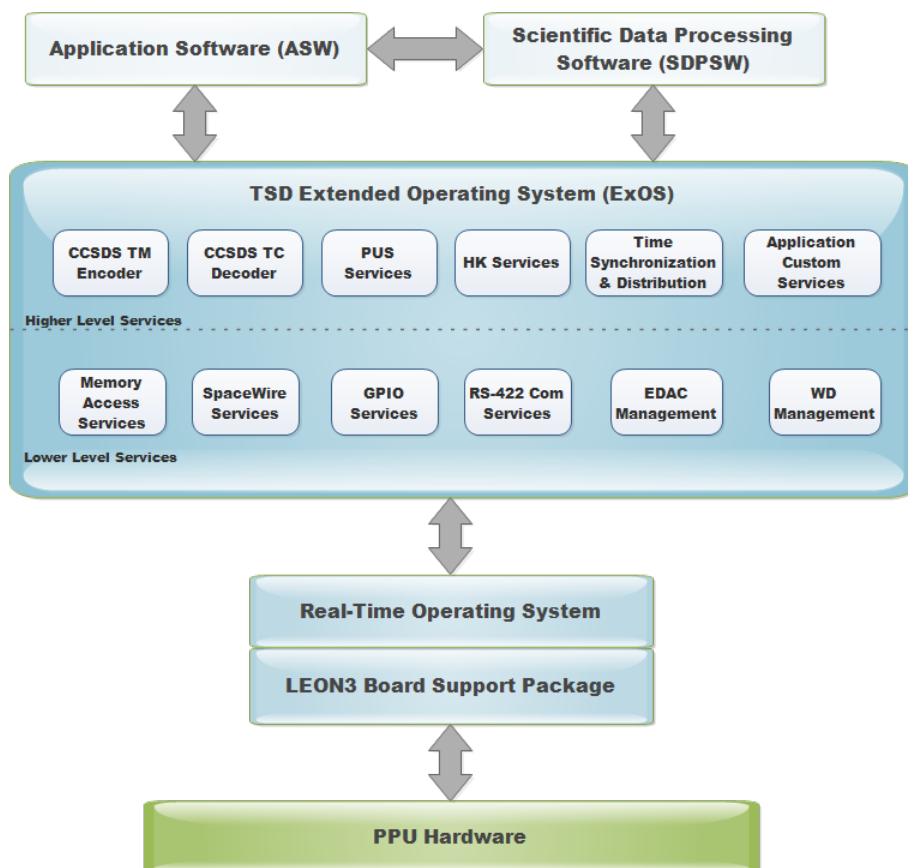


Figura 6: Servizi ExOS

ExOS è composto da due categorie di servizi:

Lower Level Services, che comprendono i drivers che hanno un accesso diretto alle risorse hardware:

- Memory Access: gestione dei registri del processore e delle memorie di tipo EEPROM, MRAM, FLASH e SDRAM
- Communication Links: SpaceWire, RS-422
- FDIR devices: EDAC, WatchDog Timer

Higher Level Services, che comprendono funzioni per la gestione delle attività di data handling:

- CCSDS TM encoding/TC decoding a livello source packet
- Implementazione di servizi PUS di frequente utilizzo:
 - TC Verification Service
 - HK and Diagnostic Data Reporting Service
 - Event Reporting Service
 - Memory Management Service
- Gestione dell'HK in termini di acquisizione dati, trasmissione ad altri sottosistemi e range checking
- Sincronizzazione dei timer interni con il tempo di riferimento acquisito da una sorgente esterna e distribuzione ad altri sottosistemi per mezzo di protocolli standard (e.g. SpaceWire Time-Code)
- Servizi espressamente richiesti da ASW da sviluppare su base custom

ExOS è implementato come una libreria che fornisce un set di Application Programming Interface

(API) functions che viene collegato al software applicativo e a quello scientifico in fase di linking.

La libreria è configurabile e può essere scalata in accordo a specifici user requirements, cioè solo i moduli necessari al SW di volo sono effettivamente linkati alla immagine finale del SW che deve essere rilasciata sul target.

▪ SDPSW

Il modulo SDPSW è responsabile del processamento dei dati collezionati dai sensori componenti la suite. Esso rappresenta l'elemento scientifico del layer ASW ed è responsabile della produzione dei dati scientifici, siano essi parametri estratti dalle distribuzioni di particelle campionate o distribuzioni compresse, consentendo quindi ad ASW di aggiungere dati scientifici nel flusso di telemetria.

La figura seguente mostra un possibile diagramma (TBV/TBD) dei componenti dell'intero OBSW previsto per la DPU, mostrando inoltre anche le relazioni tra le componenti coinvolte.

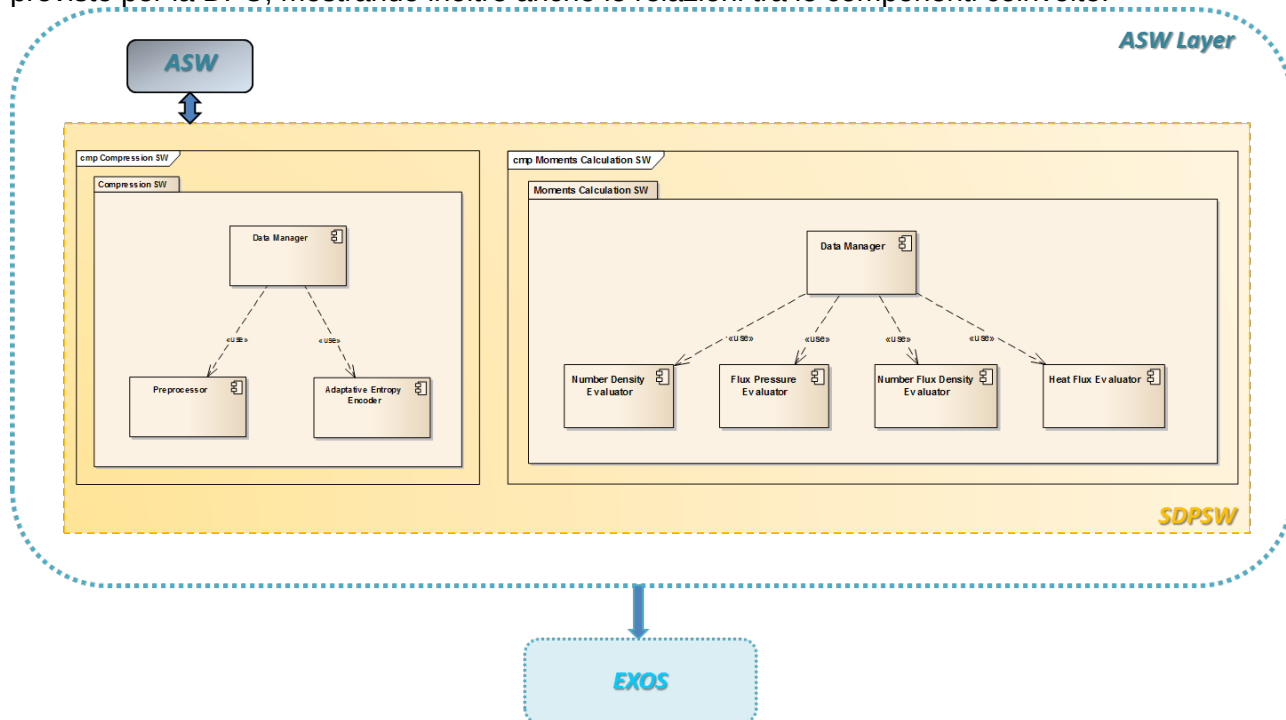


Figura 7: Panoramica sul OBSW della DPU

ExOS fornisce le interfacce ad ASW e quindi a SDPSW al fine di poter scrivere/recuperare i dati scientifici da/from la memoria di massa, mentre allo stesso tempo SDPSW espone verso ASW tutte le interfacce necessarie ad eseguire operazioni scientifiche: compressione senza perdita dei dati e calcolo dei momenti. Le prossime sottosezioni forniscono una descrizione dettagliata dei componenti previsti per SDPSW.

▪ ASW

Il DPU Application software (ASW) e il software applicativo, che come mostrato in Figura 7 interfaccia l'SDPSW per coordinare le attività relative al processamento dei dati scientifici e si interfaccia ad ExOS per sfruttarne i servizi che mette a disposizione per fornire le seguenti funzionalità:

- Validazione ed esecuzione dei TC ricevuti da S/C, in particolare l'ASW verifica la correttezza dei comandi ricevuti e procede con l'esecuzione degli stessi (nel caso in cui i comandi sono relativi alla DPU stessa) o nel caso in cui i comandi sono relativi agli strumenti procede con il routing del

comando direttamente o con l'interpretazione del comando e l'esecuzione di azioni predefinite relative alla gestione dello strumento (es. MACRO o comandi singoli per aggiornamento tabelle/cambio stato ecc...). Ovviamente il set di TM/TC sarà customizzato per il singolo strumento.

- Creazione e trasmissione delle TM di housekeeping o di errore/evento relative alla DPU o al singolo sensore.
- Gestione dei modi operativi, in accordo ad un funzionamento tipico di un sistema spaziale, la DPU avrà diversi modi operativi (tipicamente definite a livello missione). Ogni modo operativo abiliterà o disabiliterà un set predefinito di funzionalità della DPU o degli strumenti in base alle specifiche di missione. Compito dell'ASW sarà anche quello di gestire la transizione nei vari stati.
- Time synchronization, gestione del tempo di bordo e del protocollo di sincronizzazione sia lato DPU (aggiornamento del tempo attraverso la ricezione del tempo dallo S/C e sincronizzazione attraverso la gestione del timecode SpW) che strumenti (es. invio periodico del tempo di bordo e timecode agli strumenti). Ovviamente la politica di sincronizzazione sarà definita a livello missione.
- Gestione del singolo strumento in termini di:
 - o Power On/Off degli strumenti
 - o Inizializzazione e configurazione (es. configurazione di parametri con valori predefiniti e/o caricamento di tabelle di configurazione)
 - o Acquisizione dei dati di housekeeping e monitoring per eventuali politiche di FDIR
 - o Acquisizione dei dati scientifici e relativo processamento (es. compressione o calcolo dei momenti)
 - o Trasmissione dei dati raccolti e/o processati a terra attraverso la connessione con lo S/C
 - o Buffering di TBD secondi di dati scientifici in strutture dati dedicate (se richiesto e di dimensione customizzabile)
 - o Time synchronization
- Failure Detection Isolation and Recovery (FDIR), attraverso il monitoraggio di una serie di parametri della DPU e degli strumenti, in caso di errore o parametro fuori dal range nominale saranno eseguite in maniera autonoma delle azioni di recovery volte a preservare la DPU o lo strumento entrando in uno stato di safe condition. Una volta che il sistema è nello stato di safe condition sarà possibile ritornare in uno stato nominale solo attraverso un comando da ground.

In maniera preliminare della politica di FDIR faranno parte i seguenti controlli:

 - o Errori critici del SW quali task overrun, eccezioni, ecc. In questa categoria rientrano tutti i fault che non possono essere autonomamente recuperati dal SW, come ad esempio double-bit error sulle memorie di sistema o bus exception durante instruction fetch, data load o data store e più in generale tutte le condizioni di errore che generano "traps" a livello del processore. Il servizio software in questo caso installa dei trap handler dedicati che avvertono ground mediante telemetrie di evento.
 - o S/C SpaceWire links monitor: controllo sulla comunicazione con lo S/C sui link Nominal o Redundant ed identificazione di fault a livello di connessione (link disconnection) o di timeout sullo scambio dati nel caso in cui la comunicazione non sia attiva per TBD secondi
 - o SpaceWire Links Monitor degli strumenti: identificazione di fault a livello di connessione (link disconnection) o di timeout sullo scambio dati nel caso in cui la comunicazione non sia attiva per TBD secondi
 - o Health Status degli strumenti: attraverso l'analisi dei dati di HK si determineranno eventuali condizioni anomale o di errore che richiederanno interventi da parte dell'ASW direttamente o attraverso opportuni comandi inviati da terra.
 - o Controllo delle linee di alimentazione della DPU e degli strumenti: in particolare analizzando i dati di HK della DPU si controllerà che i valori di corrente relativi alla DPU stessa e agli strumenti siano in un range operativo nominale

- o Gestione Watchdog Timer, il ciclo principale prima citato, effettua periodicamente anche il retrigger del watchdog timer (WDT). Il WDT è collegato al segnale di reset del processore, pertanto nel caso in cui esso non viene retriggerato in tempo, il processore viene resettato. Questo meccanismo permette di recuperare eventuali blocchi del software

- DPU Operating System

Il sistema operativo real-time (RTOS) proposto da TSD per la DPU è VxWorks 6.x di Windriver che è un sistema hard real-time con multitasking di tipo pre-emptive che è ampiamente adottato in numerose applicazioni spaziali. VxWorks è pienamente supportato da Cobham Gaisler per quanto riguarda il suo utilizzo su processori della famiglia LEON per i quali fornisce due package software:

- SPARC architectural port, per l'utilizzo dell' RTOS su architettura SPARC
- Board Support Package (BSP), citato in precedenza, che include i drivers per tutte le periferiche afferenti al LEON

VxWorks offre numerose funzionalità real-time, tra le quali quelle sicuramente utilizzate da ExOS, SDPSW e ASW nell'ambito della DPU sono:

- Multitasking and Concurrency
- Priority-based preemptive scheduling
- OS initiate, start ISR, enter and exit, enable and disable
- System timer clock rate management
- Task service functions
- Memory management functions
- Semaphores functions for mutual exclusion and synchronization
- Inter-process communication facilities (queues/events)

I servizi appena citati sono normalmente forniti anche da altri RTOS disponibili in commercio o rilasciati come Open Source (ad esempio RTEMS). Nonostante questo TSD ritiene che la scelta di VxWorks sia la più opportuna per le seguenti ragioni:

- VxWorks è di gran lunga l'RTOS più impiegato in applicazioni spaziali (soprattutto missioni NASA) e come tale è stato validato in volo su numerose piattaforme
- TSD può dimostrare una ormai ventennale esperienza nell'utilizzo di questo RTOS, la libreria ExOS citata precedentemente è stata sviluppata utilizzando i servizi di VxWorks
- VxWorks offre una suite di tool di sviluppo tra le più avanzate che permette di accelerare il ciclo di sviluppo/testing/debugging
- Vari livelli di supporto sono disponibili da parte di WindRiver che possono fornire assistenza per tutto il ciclo di vita del software
- VxWorks è fornito con una suite di validazione chiamata *BSP Validation Test Suite* che risulta estremamente importante nell'attività di validazione del BSP+RTOS sul target hardware rappresentato da DPU. Tale suite permette in maniera automatica di effettuare un ingente numero di test con relativi report per verificare la compatibilità del sistema operativo con la processor board della DPU.

2.2 PLASMA OBSERVATORY PPU

2.2.1 PPU-M HW Requirement Assessment

Dalle informazioni disponibili si evince che l'HW della PPU-M dovrà essere dotato almeno delle seguenti interfacce esterne (verso la suite di strumenti e verso lo S/C):

- Interfacce di potenza:
 - ingressi di potenza (+28Vdc , Nominale e Ridondato) forniti dallo S/C

- distribuzione potenza (+28Vdc) su 8 uscite indipendenti (assumendo che le teste degli strumenti abbiano ingressi di alimentazioni indipendenti) (2 verso EPC-M, 4 verso IMS-M, 2 verso EPE-M)
- Interfacce dati:
 - SpaceWire Links (Nominale e Ridondato) verso lo S/C
 - SpaceWire Links indipendenti verso le teste ottiche degli strumenti (2 verso EPC-M, 4 verso IMS-M)
 - UART Links (due indipendenti) verso EPE-M

La PPU-M sarà quindi dotata di risorse HW in grado di implementare le principali funzionalità di seguito riassunte.

Funzionalità di comunicazione.

- Gestione della comunicazione con lo S/C (On-Board Data Handling System): ricezione di TC (per la PPU-M o gli strumenti della suite), invio della TM di HK per il monitoraggio della PPU-M e degli strumenti, invio della TM scientifica e delle informazioni ausiliarie prodotte a bordo ed utili a supportare il "down-link selettivo".
- Gestione della comunicazione con la suite di strumenti : invio di TC (generati o come routing di quelli ricevuti), ricezione di dati di TM scientifica e di HK
- Capacità di routing di informazioni tra strumenti, utili ad ottimizzare le misure per alcuni strumenti della suite
- Capacità di ricezione e/o routing di informazioni correlate alla gestione del tempo di bordo e al protocollo di sincronizzazione (inclusi gli strumenti)

Funzionalità di memorizzazione di massa e processing.

- Gestione della memorizzazione a bordo, in memorie di massa locali, dei dati scientifici provenienti dagli strumenti della suite (in particolare, durante il burst-mode) e/o di dati parziali processati, calcolati, compressi, etc.
- Produzione delle 3D particle velocity distribution functions (VDF) a partire dai conteggi di particelle forniti dagli strumenti della suite e dai parametri di calibrazione (eventualmente anche memorizzati a bordo in memorie non volatili)
- Calcolo dei Momenti delle VDF (risoluzione temporale richiesta TBC, e se l'elaborazione richiesta è in real-time, TBC)
- Produzione di altre informazioni ausiliarie a partire dai conteggi di particelle forniti dagli strumenti ed utili a supportare il "down-link selettivo".
- Compressione delle VDF 3D derivate con algoritmo loss-less
- Formattazione CCSDS necessaria per gli scambi di TM/TC

In particolare, si riporta qui di seguito anche una tabella di TM budget (TBV, preliminare) di quelli che sono previsti essere i principali flussi di dati scientifici :

sensor	bit	dimension	cadence	Kbps (total)
2 EPC-M (e-)	12	32A*8P*48E (*2)	125ms	2304
4 IMS-M (H+)	12	8A*16P*32E (*4)	150ms	1280
4 IMS-M (He++)	12	8A*16P*32E (*4)	300ms	640
4 IMS-M (O+)	12	8A*16P*32E (*4)	1500ms	128
2 EPE-M	16	8A*8P*64E (*2)	15000ms (3D)	17
GrandTotal: 4369 kbps = 4.27 Mbps				

Tabella 3: Telemetry budget (VDF only)

Funzionalità relative alla ricezione della potenza dallo S/C.

- Switch di potenza per gli ingressi primari +28Vdc (Nominale e Ridondato) forniti dallo S/C
- Interfacce di comando On/Off e di status per la PPU-M
- protezioni sull'ingresso (OVP,OCP,UVP
- eventuali monitoring di tensione e corrente,TBC

Funzionalità relative alla distribuzione della potenza verso l'esterno.

- Switch di potenza per le uscite +28Vdc indipendenti verso la suite di strumenti
- Interfacce di comando On/Off e di status (verso l'interno della PPU-M)
- protezioni sulle uscite (OVP,OCP,etc.)
- monitoring delle correnti erogate

Funzionalità relative al condizionamento e distribuzione della potenza verso l'interno.

- Main DC/DC conversion (+28Vdc to +5Vdc, TBC)
- protezioni sulla uscita secondaria (OVP,OCP,etc.)
- Generazione di altre alimentazioni secondarie (+3.3v,+1.0v,etc.)
- Interfacce di comando On/Off e di status (verso l'interno della PPU-M, per eventuali parti dell'HW accese solo quando utilizzate)
- Eventuali monitoring di tensioni e correnti secondarie
- Funzionalità di sincronizzazione

Inoltre, in generale, si presume che tutte le funzionalità descritte debbano essere implementate in modo ridondante dalla PPU-M. La gestione ottimale della ridondanza dovrebbe essere anch'essa oggetto di studio ed implementazione a vario livello (scheda, sotto-unità,etc.).

Comunque, è già evidente, che le I/F SpaceWire e di potenza verso ogni singola testa ottica, non sono intrinsecamente ridondate; come conseguenza di ciò, l'architettura globale della PPU-M deve tener conto della presenza di queste "parti comuni": ciò risulta semplice per le uscite di potenza, dove sarà sufficiente implementare una OR di diodi, ma più complesso per gli SpaceWire che sono, da standard, concepiti come link punto-punto; per questi ultimi, sarà quindi richiesto l'uso di circuiti ripetitori/distributori discreti o eventualmente di router SpaceWire integrati (il dettaglio potrà essere oggetto di studio, ottimizzazioni, trade-off,etc.).

2.2.2 PPU-M SW Requirement Assessment

Dall'analisi delle informazioni disponibili, emerge che la PPU-M SW dovrà essere in grado di offrire le seguenti funzionalità:

- Gestione della comunicazione con lo S/C
 - o ricezione, check ed esecuzione dei comandi inviati da terra (comandi specifici della PPU-M e/o degli strumenti della suite)
 - o creazione ed invio della telemetria di HK per il monitoraggio della PPU-M e degli strumenti
 - o creazione ed invio della telemetria scientifica (contenente i dati scientifici prodotti dagli strumenti)
- Gestione della comunicazione con gli strumenti
 - o invio dei comandi, routing dei comandi ricevuti da terra e/o invio di comandi specifici configurati a bordo della PPU-M
 - o acquisizione dei dati scientifici (formato CCSDS o custom a seconda dello strumento)
 - o acquisizione degli HK (formato CCSDS o custom a seconda dello strumento)
 - o power on/off
 - o gestione delle diverse modalità di produzione dei dati scientifici (survey mode e burst mode)

- o salvataggio di un periodo predefinito di dati scientifici prodotti in strutture dati dedicate (es. salvataggio degli ultimi Xs di dati scientifici prodotti utilizzando ad esempio dei rolling buffer)
- Data Processing dei dati scientifici prodotti dagli strumenti, in particolare calcolo dei momenti e compressione delle 3D VDF
- Gestione della configurazione degli strumenti attraverso parametri e/o tabelle salvate a bordo della PPU-M
- Assistenza ai modi di calibrazione degli strumenti
- Time synchronization, gestione del tempo di bordo e del protocollo di sincronizzazione sia lato PPU-M (aggiornamento del tempo attraverso la ricezione del tempo dallo S/C e sincronizzazione attraverso la gestione del timecode SpaceWire) che strumenti (es. invio periodico del tempo di bordo e timecode agli strumenti)
- Implementazione di logiche di FDIR e Monitoring
- Gestione dei modi operativi

Possiamo affermare che l'architettura proposta per le varie componenti SW (Basic SW, SDP SW, ASW) più l'indicazione relativa ad un sistema operativo real-time multitasking largamente utilizzato in ambito spaziale, è integralmente conforme allo svolgimento dei compiti indicati.

Inoltre si è posta particolare attenzione nell'individuare una soluzione relativa all'implementazione di un SW con funzionalità ridotte (Bootstrap SW) che oltre a prendersi carico dell'inizializzazione dell'HW e nell'effettuazione di opportuni check di integrità delle memorie del sistema, offre anche un set ridotto di funzionalità che permettono comunque di stabilire la comunicazione con lo S/C per operazioni che permettono di ripristinare il sistema in caso di errori (es. patch del SW in caso di corruzione della memoria dove è salvato).

Si vuole inoltre sottolineare che il Basic SW così come l'SDPSW ha, dal punto di vista dell'architettura e delle funzionalità, numerosissime analogie con lo stesso SW già sviluppato nell'ambito della Data Processing Unit (DPU) della suite Solar Wind Analyzer di Solar Orbiter. Pertanto nel corso dello sviluppo si potrà beneficiare dell'heritage di questa attività e riutilizzare gran parte del design, del codice e delle procedure di test. In particolare per quanto riguarda l' SDPSW un'analisi molto estesa dei requisiti e dell'architettura è presente nell'allegato 1 alla presente proposta

La proposta di utilizzare come sistema operativo VxWorks di WindRiver è ampiamente motivata ma non deve essere considerata vincolante; nel caso sia necessario utilizzare un sistema operativo differente (es. RTEMS) per motivi di uniformità all'interno programma, si potrà utilizzare un sistema operativo diverso senza che questa scelta abbia impatti sull'architettura software proposta.

2.2.3 Descrizione architetturale dell'HW

La figura seguente mostra una possibile architettura globale preliminarmente ipotizzata per la PPU-M sulla base delle informazioni attualmente disponibili.

Naturalmente, l'architettura definitiva della PPU-M, sarà il risultato di trade-off che avranno come obiettivo la definizione di un sistema capace di effettuare tutti i task computazionali richiesti (a loro volta in fase di definizione), cercando di tenere contemporaneamente entro limiti ottimali i budget di massa, volume, consumo di potenza.

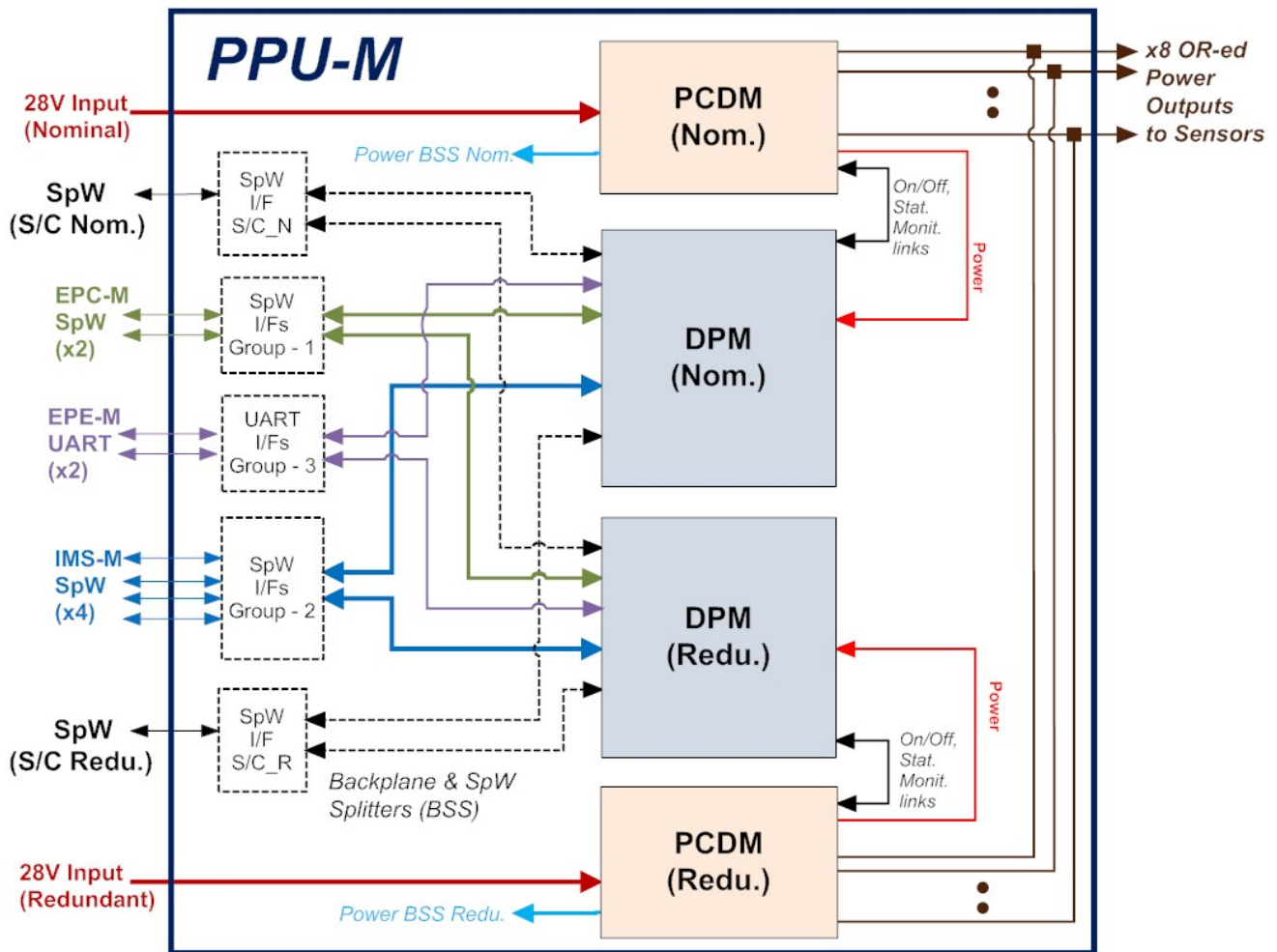


Figura 8: Architettura globale ipotizzata per la PPU-M

Come si evince dal diagramma a blocchi, la PPU-M fornirà sostanzialmente allo spacecraft un'interfaccia comune di alimentazione, di scambio di TM/TC, e più in generale, di controllo dell'intera suite di strumenti.

L'utilizzo di un'unica unità d'interfaccia e processing per la suite, agevolerà la gestione dei dati scientifici prodotti da una molteplicità di strumenti, consentendone una più agevole correlazione; risulterà anche semplificato il routing di informazioni da/per altri strumenti dello S/C.

Come si può notare dalla figura, per ragioni di tolleranza ai guasti, si è ipotizzato che la PPU-M contenga due intere sotto-unità (PPU_M-Nominal e PPU_M-Redundant), operanti in ridondanza fredda, ciascuna capace di gestire tutte le I/F ed implementare tutte funzionalità della PPU-M.

Le due sotto unità avranno in comune solo un "Backplane & SpW Repeater/Distributor" (BSRD) che includerà tra l'altro i circuiti di front-end necessari per le interfacce SpaceWire; questa parte risulterà essere la sola non ridondata dell'intera PPU-M (il che, peraltro, è una limitazione che non può essere rimossa perché è una conseguenza dell'architettura dei sensori che non dispongono di link SpaceWire ridondata).

Analizzando quindi in dettaglio l'unità ridondata, essa risulterà globalmente composta da:

- un modulo "Backplane & SpW Repeater/Distributor" (BSRD)

- due moduli "Data Processing Modules" (DPM)
- due moduli "Power Conditioning Module" (PCDM)

Ove necessario per ragioni di distribuzione dei componenti elettronici nel volume assegnato, i moduli DPM e PCDM potranno includere una mother board ed una daughter board distinta.

Per la DPM potremmo distribuire l'HW in due diverse schede (se necessario) :

- una DPM-F (Data Processing Module FPGA board)
- una DPM-P (Data Processing Module Processor board)

Per la PCDM potremmo distribuire l'HW in due diverse schede (se necessario):

- una PCMB (Power Conditioning Mother-board)
- una PDB (Power Distribution board)

2.2.3.1 Sezione HW digitale

L'architettura preliminarmente ipotizzata è basata sull'utilizzo congiunto di almeno un processore LEON3FT (o LEON4FT) ASIC e una FPGA necessaria all'implementazione di dettaglio dei diversi VHDL IP Core per le interfacce dati (SpaceWire per esempio) e potenzialmente operante come acceleratore HW (ciò potrebbe risultare utile per il processing intensivo legato alle operazioni di calcolo delle VDF, dei momenti, e della compressione loss-less).

Una simile architettura introduce un certo grado di flessibilità in termini di capacità di processing dei dati, consentendo l'implementazione di diverse soluzioni di partizionamento tra HW e SW dei carichi computazionali (che sono ancora da approfondire).

In particolare, esplodendo in maggior dettaglio la DPM evidenziamo quanto nel diagramma a blocchi in figura seguente (TBC) che va considerata come la baseline iniziale di lavoro che potrebbe essere oggetto di approfondimenti e miglioramenti anche in funzione dei "lesson learned" derivanti dall'esperienza della DPU di SWA (Solar Wind Analyser) cui l'architettura è chiaramente ispirata e/o in funzione di nuovi requisiti specifici di PMO.

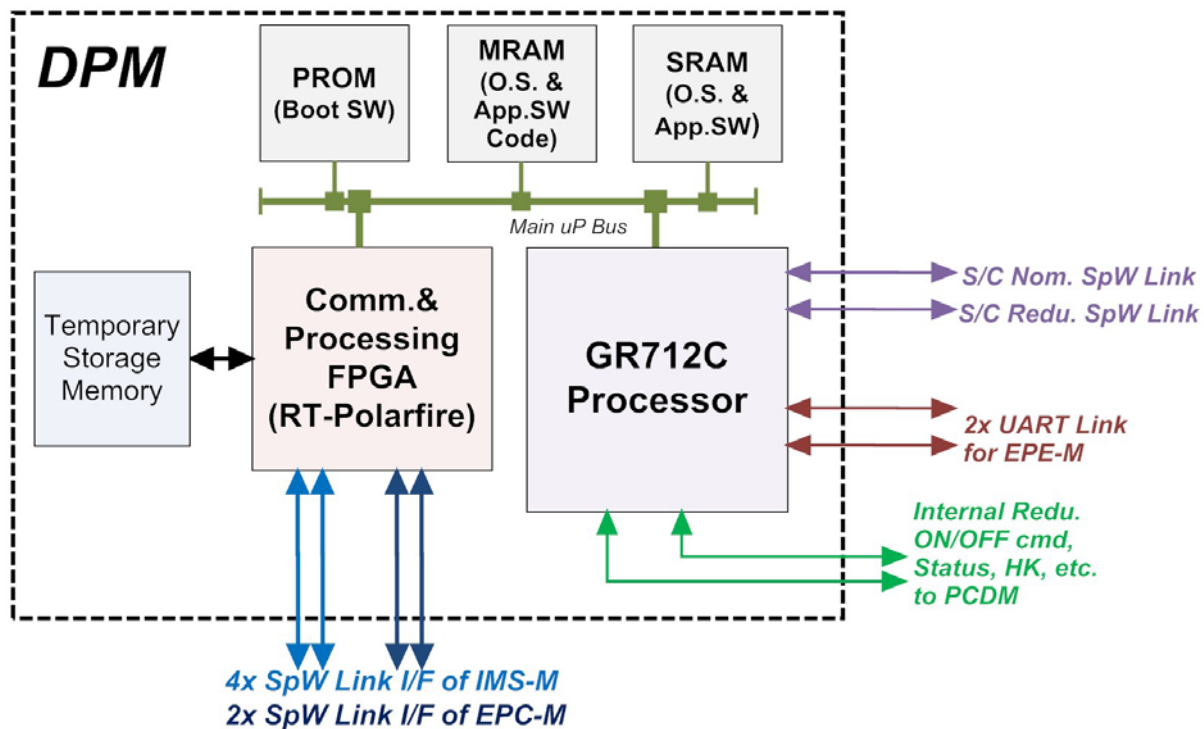


Figura 9: Diagramma a blocchi ipotizzato per la sezione digitale della PPU-M (DPM)

L'FPGA implementerà principalmente le funzionalità relative all'interfacciamento dei link SpaceWire e memorizzazione di massa dei dati ricevuti ed in attesa di essere processati, oltre che eventualmente funzioni di processing (in dipendenza dalle risorse logiche residue disponibili).

Le attività dell'FPGA saranno controllate dal processore (i candidati sono il LEON3FT dual core indicato o il LEON4FT quad core) attraverso un link dedicato point-to-point, o viste come spazio di I/O memory mapped (TBC).

Il modulo DPM ospiterà poi, oltre al processore, la memoria SRAM necessaria per l'esecuzione del codice ed altre memorie MRAM non volatili ospitanti il codice eseguibile ed il "Boot-SW" (quest'ultimo tipicamente in PROM o FRAM).

Tra l'altro, essendo tipicamente i processori della famiglia Leon dotati anche di I/F SpaceWire, alcune di queste potrebbero anche essere connesse direttamente al processore, come ad esempio quelle dialoganti direttamente con lo S/C.

2.2.3.2 Selezione del Processore candidato

Negli ultimi anni si è avuta una rapida evoluzione, rispetto ai decenni passati, delle architetture dei microprocessori per uso spaziale. Assumendo di adottare un microprocessore della famiglia LEON, che rappresenta oramai una scelta consolidata, sulla quale soprattutto le aziende europee stanno accumulando un know-how significativo, la tabella seguente riporta l'evoluzione dei microprocessori di questa famiglia.

Manufacturer	Product	Word length [Bit]	Performance [MIPS]	Rate [MHz]	Total Dose [Rad(Si)]	Single Event Latch-up Resistance [MeV/mg/cm ²]
ATMEL	AT697F (LEON2FT)	32	86	100	300Krad	70
Aeroflex/UTMC	UT699 (LEON3FT)	32	92	66	100Krad	<108
Aeroflex/UTMC	UT699E (LEON3FT)	32	140	100	100Krad	<110
Aeroflex/UTMC	UT700 (LEON3FT)	32	233	166	100Krad	<110
Aeroflex/UTMC	GR712RC (LEON3FT)	32	140	100	100Krad	>118
Aeroflex/UTMC	GR740 (LEON4FT)	32	>400	250	300Krad	>125

Tabella 4- Evoluzione della Famiglia di Microprocessori LEON

La selezione preliminare del processore ha evidenziato il GR712RC come candidato base. I due Core nel GR712RC possono funzionare fino a 100 MHz. Ciò fornisce fino a 200 MIPS e 200 MFLOPS di prestazioni di picco.

Le caratteristiche principali del GR712RC sono le seguenti:

- Due processor LEON3-FT SPARC V8 compliant 32-bit, equipaggiati con High-performance double-precision IEEE-754 floating point co-processor (GRFPU), 16KiB multi-way instruction cache and 16 KiB multi-way data cache
- On-chip high speed AMBA (AHB) bus
- Due Timer a 32-bit timers e watchdog
- interrupt controller fino a 31 interrupts
- On-chip 192 Kbyte SRAM memory con EDAC
- External memories: SRAM, SDRAM, FLASH PROM / EEPROM and parallel I/O supportati, ad 8 bits o 32 bits data bus e wait-states programmabili
- Due porte SpaceWire con supporto RMAP target e max 200 Mbps data rate
- I/O selection matrix con possibilità di connettere un subset di embedded I/O :
 - ✓ Quattro SpaceWire links
 - ✓ Interfacce MIL-STD-1553B ridondanti
 - ✓ Due CAN 2.0B bus controllers
 - ✓ Sei UART ports, with 8-byte FIFO
 - ✓ Ethernet MAC with RMII 10/100 Mbps port
 - ✓ Porte seriali SPI/I2C
 - ✓ CCSDS/ECSS 5-channel Telecommand decoder, 10 Mbps input rate
 - ✓ CCSDS/ECSS Telemetry encoder, 50 Mbps output rate

- ✓ 26 input and 38 input/output general purpose ports
- -55°C to +125°C temperature range
- Radiation tolerance:
 - ✓ TID: up to 300 krad(Si)
 - ✓ SEL: > 118 MeV-cm²/mg
 - ✓ SEU: tolerance with hardened flip-flops and error correction for on-chip memories
 - ✓ Error detection and correction on external memories

Nella figura seguente riportiamo lo schema a blocchi interno del processore

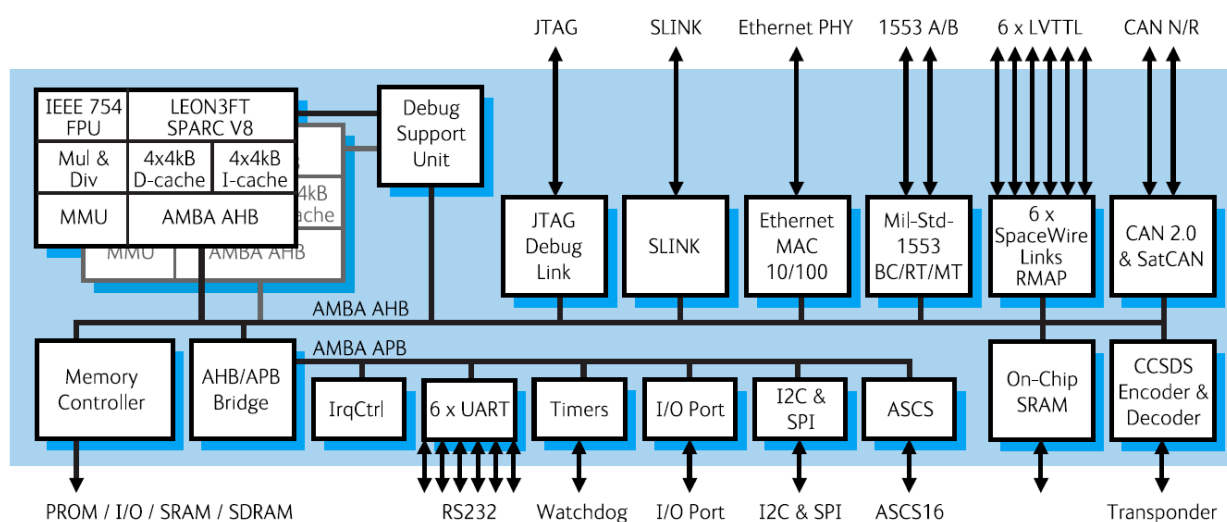


Figura 10 - GR712RC processor internal block diagram

Tra le alternative che potrebbero essere prese in considerazione, qualora successive analisi evidenzino l'opportunità di far implementare direttamente al processore centrale, la maggior parte degli algoritmi, c'è il microprocessore di ultima generazione LEON4FT Quad-Core.

2.2.3.3 Sezione HW Analogico e di potenza della PPU-M

A causa del numero di canali e associati circuiti di sezionamento, protezione, monitoraggio, conversione analogico/digitale, etc. le sezioni HW analogiche e di potenza della PPU-M (il modulo PCDM) potrebbero essere implementate mediante due distinte schede: la PCMB e la PDB. In particolare, le funzionalità risulteranno così suddivise:

Per la scheda "Power Conditioning Mother-board" (PCMB):

- main switch per l'ingresso +28Vdc
- elettronica di interfaccia per eventuali comandi On/Off in ingresso o Status in uscita alla PPU-M
- Main DC/DC converter (da +28Vdc a +5Vdc, TBC)
- Generazione di altre alimentazioni secondarie (sezioni elettroniche comuni del BSRD, etc.)
- protezioni sulle uscita secondarie (OVP, OCP, etc.)

- Eventuali monitoring di tensioni e correnti secondarie e relativa conversione Analogico/Digitale
- Generazione segnali di sincronizzazione e di power-sequencing
- interfacce di lettura dati digitali di HK verso la scheda CPU

Per la scheda "Power Distribution board" (PDB):

- Switch di potenza per le uscite +28Vdc indipendenti (TBD/TBV se richiesta l'interruzione di entrambi i conduttori di andata e ritorno)
- Interfacce di comando On/Off e di status (verso l'interno della PPU-M, parte digitale)
- protezioni sulle uscite (OVP,OCP,etc.)
- monitoring delle correnti erogate, temperature, etc. e relativa conversione Analogico/Digitale
- interfacce di comando e lettura di status verso la sezione digitale (DPM)
- interfacce di lettura dati digitali di HK verso la sezione digitale (DPM)

PPU-M Power section functional block diagram

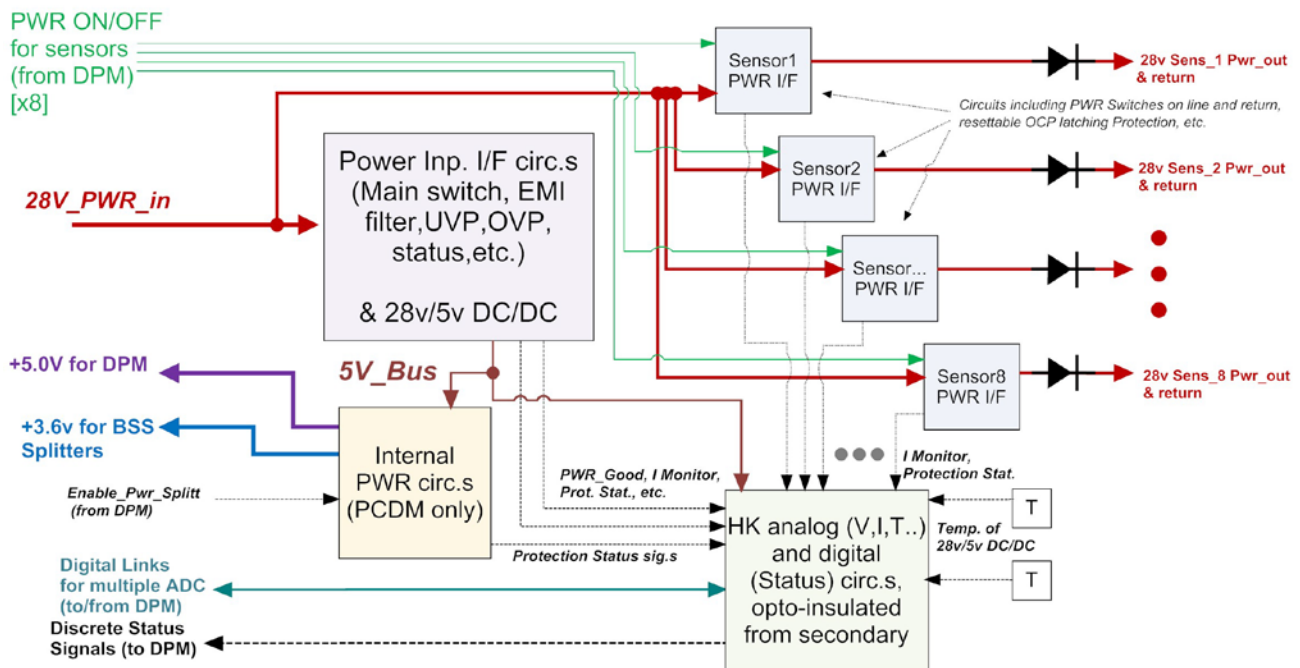


Figura 11 – PPU-M PCDM high level block diagram

2.2.3.4 Layout meccanico ipotizzato

Il design meccanico dell'unità PPU-M sarà sviluppato in accordo allo standard meccanico "IEEE Mechanical Standard 1101.2" per i sistemi raffreddati tramite conduzione per il trasferimento di calore tra i moduli e la struttura.

La tipologia di design strutturale e termo-strutturale è la stessa già adottata in passato per altri cabinet già esistenti e sviluppati da TSD.

La struttura mostra delle ottime prestazioni in termini di capacità di raffreddamento per conduzione, e ciò è stato evidenziato sia tramite simulazioni numeriche che tramite campagne sperimentali in ambiente termo-vuoto.

Nell'unità *PPU-M* tutte le schede sono dotate di un frame di irrobustimento. Tale frame viene realizzato come un unico oggetto e prevede irrobustimenti in entrambe le direzioni della scheda (sia in larghezza che in lunghezza).

Inoltre è previsto l'utilizzo di un "card-lock" su ciascun lato del frame di supporto della scheda. A valle dell'inserimento della scheda nella struttura e del serraggio del card-lock, quest'ultimo si espande, bloccando le schede al cabinet.

L'unità viene progettata e realizzata secondo gli standard meccanici/termici interni di TSD, già qualificati ed adoperati in diverse applicazioni spaziali.

Le dimensioni del cabinet ed in particolare un'area di base di 250 x 200 mm sono il risultato di un'analisi preliminare dei requisiti e dell'architettura ipotizzata, tesa alla minimizzazione della massa e del volume complessivo.



Figura 12: Plausibile configurazione del cabinet della PPU-M

2.2.4 Descrizione architetturale del SW

Il software della PPU-M può essere suddiviso in tre componenti principali:

- PPU-M Basic SW, di cui fanno parte il Bootstrap SW, il *LEON3 Board Support Package (BSP)* e l'*Extended Operating System (ExOS)*
- PPU-M Operating System
- PPU-M Application and Scientific Data SW

La figura seguente mostra la decomposizione dell'intero SW; In particolare si identifica come Flight Software (FSW) l'insieme dei seguenti moduli:

- LEON3 BSP
- RTOS
- ExOS
- SDPSW
- ASW

Nel prosieguo della descrizione si conviene di utilizzare i nomi BSP ed ExOS.

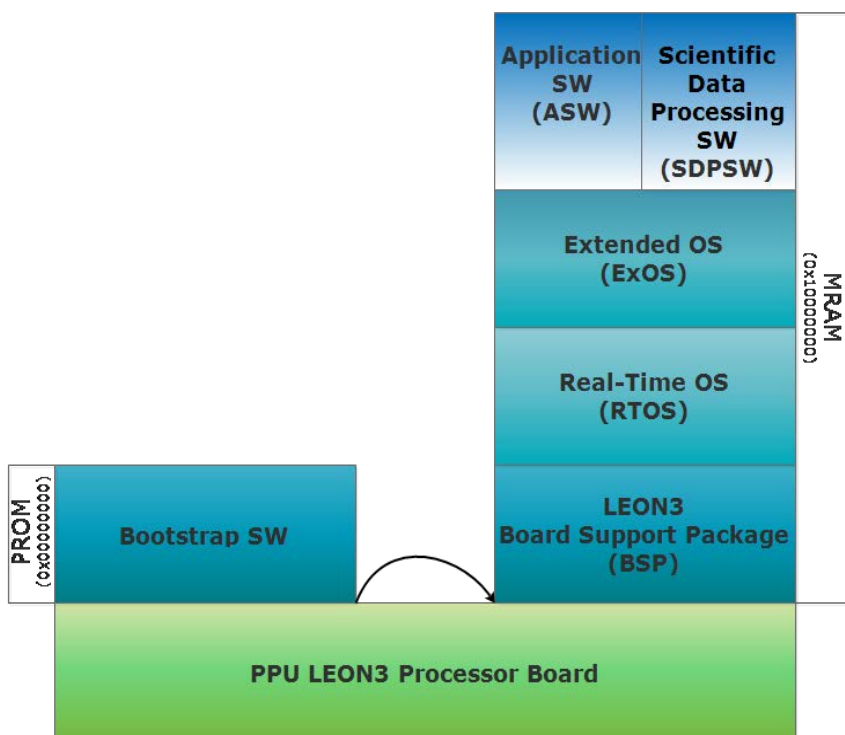


Figura 13: Componenti PPU-M Software

2.2.4.1 PPU-M Basic SW

Con riferimento alla figura sopra, il PPU-M Basic SW (BSW) è composto da:

- Bootstrap SW
- LEON3 BSP
- ExOS

2.2.4.2 Bootstrap SW

Il Bootstrap SW è un applicativo minimale che richiede poche risorse hardware ma svolge attività critiche. Esso viene eseguito automaticamente al power on della PPU-M (cold boot) o a valle di un reset del processore (warm boot).

Come si evince dal nome, l'attività principale del Bootstrap è quella di effettuare l'inizializzazione delle risorse hardware ed eseguire il software applicativo. In aggiunta esso svolge attività di check delle memorie di sistema e stabilisce la comunicazione con lo S/C su link SpaceWire per lo scambio e la gestione di un ridotto set di telemetrie e telecomandi.

Il Bootstrap risiede in una PROM (TBC) di dimensioni limitate (64KB sono in generale sufficienti) e pertanto non è possibile effettuare upgrade in volo. Per questa sua caratteristica è auspicabile mantenere la struttura del software quanto più semplice possibile così da poter essere estensivamente testato prima della missione.

Per ragioni di dimensione del codice e per la già citata esigenza di testabilità non si prevede l'utilizzo di alcun sistema operativo per il Bootstrap SW.

Le principali attività del Bootstrap SW sono qui di seguito dettagliate:

Inizializzazione Hardware

L'inizializzazione hardware comprende due fasi:

- c. Inizializzazione low level che è eseguita dal boot loader di LEON il quale è linkato assieme al Bootstrap SW per mezzo della utility mkprom fornita dalla toolchain BCC di Gaisler. Il bootloader esegue le seguenti operazioni:
 5. Inizializzazione dei registri della IU e FPU del LEON
 6. Inizializzazione del controller di memoria, delle UART e della timer unit
 7. Decompressione e copia in RAM del Bootstrap SW
 8. Inizializzazione dello stack e dell'esecuzione dell'applicazione
- d. Inizializzazione high level che è eseguita dal Bootstrap SW come prima attività e che consiste in:
 5. Installazione di vari interrupt/trap handlers
 6. Configurazione delle interfacce SpaceWire (main e redundant) verso lo S/C
 7. Check dello stato dei link SpaceWire
 8. Inizializzazione della comunicazione con le altre boards della PPU-M e check delle boards

Check Memorie

Il check delle memorie è eseguito su tutte le memorie volatili (SRAM/SDRAM) e su quelle non volatili (MRAM).

Il check sulle memorie volatili viene eseguito per mezzo di test standard per la verifica dell'integrità delle memorie e tipicamente consistono nella scrittura di tutta la memoria di pattern predefiniti e nella loro rilettura e verifica.

Il check sulle memorie non volatili consiste nella verifica dell'integrità del codice del SW applicativo e di tutte le annesse aree di dati che sono memorizzati su di esse mediante calcolo del CRC a blocchi.

Gestione Telemetria

Il Bootstrap SW durante l'esecuzione trasmette alcuni pacchetti di telemetria allo S/C in accordo allo standard PUS. Tra i servizi disponibili saranno utilizzati i seguenti:

Servizio 1: Telecommand verification service

Mediante questo servizio il Bootstrap SW notifica lo S/C dell'esito di un telecomando ricevuto. I seguenti pacchetti di telemetria saranno utilizzati:

- TM(1,1)/TM(1,2): telecommand acceptance report success/failure
- TM(1,7)/TM(1,8): telecommand execution completed success/failure

Servizio 3: HK data reporting service

Mediante questo servizio saranno inviati periodicamente o su richiesta allo S/C due pacchetti di telemetria TM(3,25):

- Boot Status TM che contiene una struttura con informazioni relative al risultato dei check di memoria effettuati e alle copie dell'FSW residenti in MRAM (versione, size, CRC, ...)
- Monitoring HK TM che contiene parametri analogici e digitali essenziali e vitali di PPU (tensioni, correnti, temperature, status, ...)

Servizio 5: Event reporting service

Mediante questo servizio saranno inviati allo S/C pacchetti di telemetri di evento TM(5,x) o al termine di ogni fase dell'esecuzione del Bootstrap SW in caso di esito positivo o ogni qual volta si registra un'anomalia

Servizio 6: Memory management service

Mediante questo servizio saranno inviati allo S/C pacchetti di telemetria di tipo:

- TM(6,6): memory dump con indirizzo assoluto
- TM(6,10): memory check con indirizzo assoluto

Gestione Telecomandi

Dopo la fase di inizializzazione e check delle memorie il Bootstrap SW esegue un ciclo in cui è in grado di ricevere e gestire comandi dallo S/C (vedi Figura 7). Tra i servizi messi a disposizione dallo standard PUS, il Bootstrap SW utilizzerà quelli relativi ai servizi indicati di seguito. Telecomandi che non rientrano nelle categorie indicate saranno rigettati.

Servizio 6: Memory management service

Mediante questo servizio saranno gestiti i seguenti telecomandi da S/C:

- TC(6,2): load memory con indirizzo assoluto per l'aggiornamento di codice e/o tabelle in volo su memoria riscrivibile (RAM e/o MRAM)
- TC(6,5): richiesta di memory dump con indirizzo assoluto
- TC(6,9): richiesta di memory check con indirizzo assoluto

Servizio 9: Time management service

Mediante questo servizio sarà possibile ricevere da S/C il tempo di riferimento dello spacecraft e sincronizzare il tempo di PPU-M che sarà utilizzato per taggare tutte le telemetrie inviate allo S/C

Esecuzione FSW

Il software applicativo risiede in memoria non volatile (MRAM). Essendo disponibili due banchi di MRAM (main e redundant) è possibile avere sempre almeno due copie del FSW in linea. Una possibile strategia potrebbe essere che la copia nel banco main è quella di riferimento e non viene mai modificata, mentre quella nel banco redundant è suscettibile di modifiche in volo.

Con riferimento alla Figura 6 l'esecuzione del FSW avviene dopo che il Bootstrap SW riceve un comando dedicato che contiene l'informazione sulla copia del FSW da eseguire. Il Bootstrap SW abilita la corrispondente MRAM (main o redundant) ed effettua un jump all'indirizzo 0x10000000

(base address della MRAM). A questo punto il controllo viene rilasciato al software residente in MRAM, in particolare come prima operazione un bootloader decompime e carica il sistema operativo in RAM, dopodiché viene caricato ed eseguito il modulo ExOS ed infine l'applicativo vero e proprio. Questo è possibile perché il FSW residente su MRAM è separabile in quattro moduli principali (RTOS+BSP, ExOS, SDPSW e ASW) che sono fisicamente caricati a quattro indirizzi di memoria distinti. Il beneficio di questa architettura è che in caso di modifiche al software in volo, si potrà aggiornare solo il modulo coinvolto, presumibilmente l'ASW o l'SDPSW essendo il sistema operativo e l'ExOS meno suscettibili di modifiche

Funzionalità di FDIR

Il Bootstrap SW data la sua importanza deve poter mettere a disposizione delle funzionalità di FDIR che permettano di risolvere o mitigare eventuali fault software. I servizi di base offerti in questo ambito sono:

- EDAC e Memory Scrubbing

Durante il ciclo principale di gestione dei telecomandi il Bootstrap SW effettua continuamente la lettura di tutte le aree di memoria (memory scrubbing) durante i periodi di idle del processore. Nel caso di rilevamento di un single-bit error, il meccanismo di EDAC interviene nella correzione mentre il relativo servizio software tiene traccia del numero di correzioni effettuate ed avverte S/C mediante una telemetria di evento

- Exception Handling

In questa categoria rientrano tutti i fault che non possono essere autonomamente recuperati dal SW, come ad esempio double-bit error sulle memorie di sistema o bus exception durante instruction fetch, data load o data store e più in generale tutte le condizioni di errore che generano "traps" a livello del processore. Il servizio software in questo caso installa dei trap handler dedicati che avvertono S/C mediante telemetrie di evento. La gestione del fault dipenderà dalla strategia di FDIR di sistema, in generale questa categoria di fault richiede un reboot del sistema

- Gestione Watchdog Timer

Il ciclo principale prima citato, effettua periodicamente anche il retrigger del watchdog timer (WDT). Il WDT è collegato al segnale di reset del processore, pertanto nel caso in cui esso non viene retriggerato in tempo, il processore viene resettato. Questo meccanismo permette di recuperare eventuali blocchi del software

- HK range checking

E' possibile effettuare dei check su alcuni parametri di housekeeping critici, ad esempio una verifica che non vengano superate delle soglie predefinite nel qual caso verranno generate delle telemetrie di evento verso S/C ed effettuate delle azioni che dovranno essere stabilite dalla strategia di FDIR di sistema

2.2.4.3 LEON3 BSP

Il Board Support Package (BSP) è un componente software COTS fornito da Cobham Gaisler ed è generale per sistemi basati su processore LEON. Esso rappresenta l'interfaccia tra il sistema operativo e l'hardware sottostante in quanto si occupa dell'inizializzazione del processore e delle periferiche di base. Il BSP è configurabile, nel senso che è possibile includere solo le funzionalità relative alla configurazione hardware della processor board. In particolare nel caso di PPU-M i seguenti dispositivi hardware saranno selezionati e configurati all'interno del BSP:

- LEON3 CPU

- FPU
- Interrupt controller
- Timer unit
- GPIO driver
- SpaceWire driver
- UART console/terminal driver (utilizzata solo in fase di sviluppo)
- 10/100/1000 Ethernet networking (for utilizzata solo in fase di sviluppo)

2.2.4.4 ExOS

L'Extended Operating System (ExOS) è un componente software sviluppato da TSD nel corso di vari progetti e rappresenta uno strato software intermedio tra il BSP/RTOS e l'applicativo software ASW.

Questo strato maschera i meccanismi del RTOS e BSP che hanno una stretta connessione con l'hardware e fornisce all'utente una serie di servizi standard di data handling più servizi custom che dipendono di volta in volta dalla particolare applicazione. La seguente Figura 7 indica i servizi forniti da ExOS resi disponibili ad ASW e SDPSW:

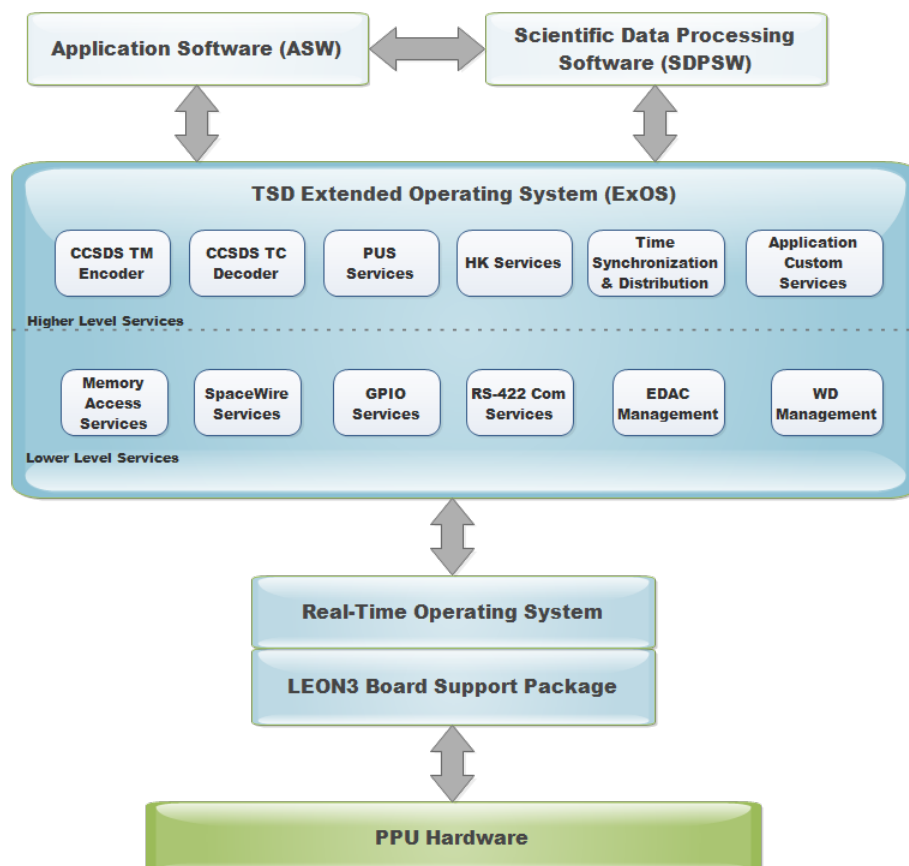


Figura 14 Servizi ExOS

ExOS è composto da due categorie di servizi:

Lower Level Services, che comprendono i drivers che hanno un accesso diretto alle risorse hardware:

- Memory Access: gestione dei registri del processore e delle memorie di tipo EEPROM, MRAM, FLASH e SDRAM
- Communication Links: SpaceWire, RS-422
- FDIR devices: EDAC, WatchDog Timer

Higher Level Services, che comprendono funzioni per la gestione delle attività di data handling:

- CCSDS TM encoding/TC decoding a livello source packet
- Implementazione di servizi PUS di frequente utilizzo:
 - TC Verification Service
 - HK and Diagnostic Data Reporting Service
 - Event Reporting Service
 - Memory Management Service
- Gestione dell'HK in termini di acquisizione dati, trasmissione ad altri sottosistemi e range checking
- Sincronizzazione dei timer interni con il tempo di riferimento acquisito da una sorgente esterna e distribuzione ad altri sottosistemi per mezzo di protocolli standard (e.g. SpaceWire Time-Code)
- Servizi espressamente richiesti da ASW da sviluppare su base custom

ExOS è implementato come una libreria che fornisce un set di Application Programming Interface (API) functions che viene collegato al software applicativo e a quello scientifico in fase di linking.

La libreria è configurabile e può essere scalata in accordo a specifici user requirements, cioè solo i moduli necessari al SW di volo sono effettivamente linkati alla immagine finale del SW che deve essere rilasciata sul target.

2.2.4.5 SDPSW

Il modulo SDPSW è responsabile del processamento dei dati collezionati dai sensori componenti la suite. Esso rappresenta l'elemento scientifico del layer ASW ed è responsabile della produzione dei dati scientifici, siano essi parametri estratti dalle distribuzioni di particelle campionate o distribuzioni compresse, consentendo quindi ad ASW di aggiungere dati scientifici nel flusso di telemetria.

La figura seguente mostra un possibile diagramma (TBV/TBD) dei componenti dell'intero OBSW previsto per la PPU-M, mostrando inoltre anche le relazioni tra le componenti coinvolte.

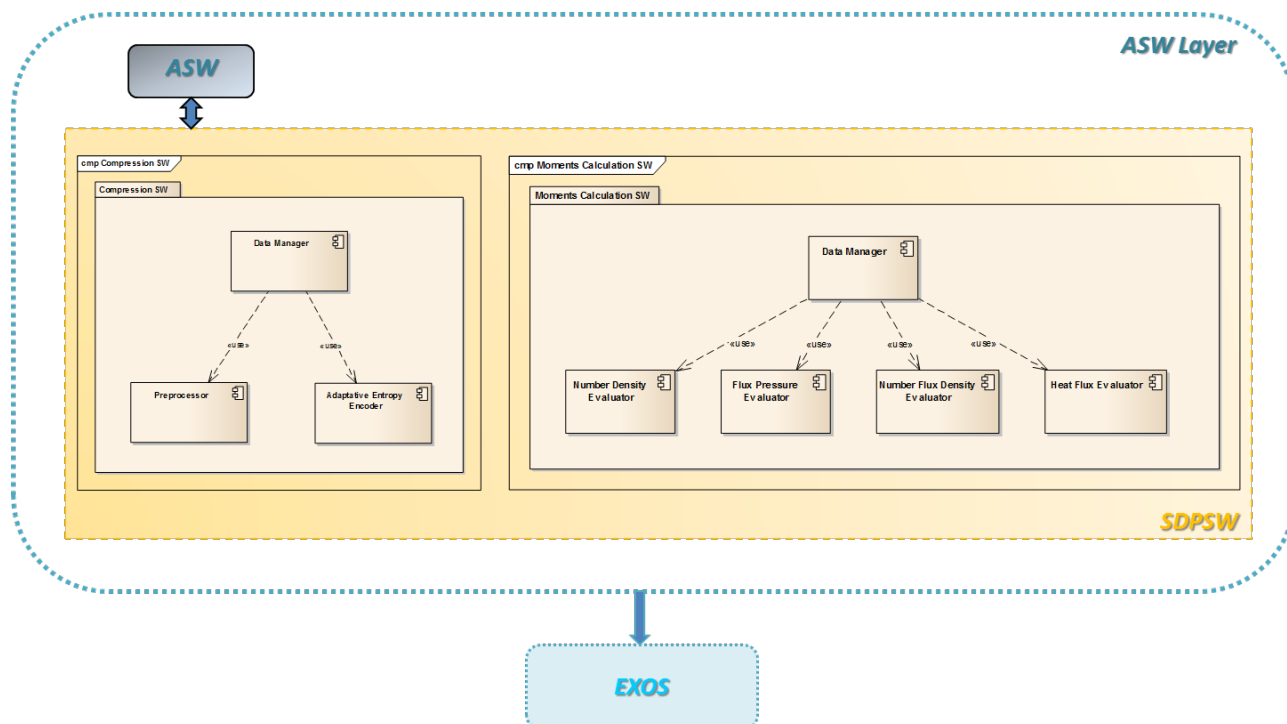


Figura 15: Panoramica sul OBSW della PPU-M

ExOS fornisce le interfacce ad ASW e quindi a SDPSW al fine di poter scrivere/recuperare i dati scientifici da/from la memoria di massa, mentre allo stesso tempo SDPSW espone verso ASW tutte le interfacce necessarie ad eseguire operazioni scientifiche: compressione senza perdita dei dati e calcolo dei momenti. Le prossime sottosezioni forniscono una descrizione dettagliata dei componenti previsti per SDPSW.

2.2.4.6 ASW

Il PPU-M Application software (ASW) è il software applicativo, che come mostrato in Figura 7 interfaccia l'SDPSW per coordinare le attività relative al processamento dei dati scientifici e si interfaccia ad ExOS per sfruttarne i servizi che mette a disposizione per fornire le seguenti funzionalità:

- Validazione ed esecuzione dei TC ricevuti da S/C, in particolare l'ASW verifica la correttezza dei comandi ricevuti e procede con l'esecuzione degli stessi (nel caso in cui i comandi sono relativi alla PPU stessa) o nel caso in cui i comandi sono relativi agli strumenti procede con il routing del comando direttamente o con l'interpretazione del comando e l'esecuzione di azioni predefinite relative allo gestione dello strumento (es. MACRO o comandi singoli per aggiornamento tabelle/cambio stato ecc...). Ovviamente il set di TM/TC sarà customizzato per il singolo strumento.
- Creazione e trasmissione delle TM di housekeeping o di errore/evento relative alla PPU o al singolo sensore.
- Gestione dei modi operativi, in accordo ad un funzionamento tipico di un sistema spaziale, la PPU-M avrà diversi modi operativi (tipicamente definite a livello missione). Ogni modo operativo abiliterà o disabiliterà un set predefinito di funzionalità della PPU-M o degli strumenti in base alle specifiche di missione. Compito dell'ASW sarà anche quello di gestire la transizione nei vari stati.

- Time synchronization, gestione del tempo di bordo e del protocollo di sincronizzazione sia lato PPU-M (aggiornamento del tempo attraverso la ricezione del tempo dallo S/C e sincronizzazione attraverso la gestione del timecode SpW) che strumenti (es. invio periodico del tempo di bordo e timecode agli strumenti). Ovviamente la politica di sincronizzazione sarà definita a livello missione.
- Gestione del singolo strumento in termini di:
 - o Power On/Off degli strumenti
 - o Inizializzazione e configurazione (es. configurazione di parametri con valori predefiniti e/o caricamento di tabelle di configurazione)
 - o Acquisizione dei dati di housekeeping e monitoring per eventuali politiche di FDIR
 - o Acquisizione dei dati scientifici e relativo processamento (es. compressione o calcolo dei momenti)
 - o Trasmissione dei dati raccolti e/o processati a terra attraverso la connessione con lo S/C
 - o Buffering di TBD secondi di dati scientifici in strutture dati dedicate (se richiesto e di dimensione customizzabile)
 - o Time synchronization
- Failure Detection Isolation and Recovery (FDIR), attraverso il monitoraggio di una serie di parametri della PPU-M e degli strumenti, in caso di errore o parametro fuori dal range nominale saranno eseguite in maniera autonoma delle azioni di recovery volte a preservare la PPU-M o lo strumento entrando in uno stato di safe condition. Una volta che il sistema è nello stato di safe condition sarà possibile ritornare in uno stato nominale solo attraverso un comando da ground.

In maniera preliminare della politica di FDIR faranno parte i seguenti controlli:

- o Errori critici del SW quali task overrun, eccezioni, ecc. In questa categoria rientrano tutti i fault che non possono essere autonomamente recuperati dal SW, come ad esempio double-bit error sulle memorie di sistema o bus exception durante instruction fetch, data load o data store e più in generale tutte le condizioni di errore che generano "traps" a livello del processore. Il servizio software in questo caso installa dei trap handler dedicati che avvertono ground mediante telemetrie di evento.
- o S/C SpaceWire links monitor: controllo sulla comunicazione con lo S/C sui link Nominal o Redundant ed identificazione di fault a livello di connessione (link disconnection) o di timeout sullo scambio dati nel caso in cui la comunicazione non sia attiva per TBD secondi
- o SpaceWire Links Monitor degli strumenti: identificazione di fault a livello di connessione (link disconnection) o di timeout sullo scambio dati nel caso in cui la comunicazione non sia attiva per TBD secondi
- o Health Status degli strumenti: attraverso l'analisi dei dati di HK si determineranno eventuali condizioni anomale o di errore che richiederanno interventi da parte dell'ASW direttamente o attraverso opportuni comandi inviati da terra.
- o Controllo delle linee di alimentazione della PPU-M e degli strumenti: in particolare analizzando i dati di HK della PPU-M si controllerà che i valori di corrente relativi alla PPU stessa e agli strumenti siano in un range operativo nominale
- o Gestione Watchdog Timer, il ciclo principale prima citato, effettua periodicamente anche il retrigger del watchdog timer (WDT). Il WDT è collegato al segnale di reset del processore, pertanto nel caso in cui esso non viene retriggerato in tempo, il processore viene resettato. Questo meccanismo permette di recuperare eventuali blocchi del software

2.2.4.7 PPU Operating System

Il sistema operativo real-time (RTOS) proposto da TSD per la PPU-M è VxWorks 6.x di Windriver che

è un sistema hard real-time con multitasking di tipo pre-emptive che è ampiamente adottato in numerose applicazioni spaziali. VxWorks è pienamente supportato da Cobham Gaisler per quanto riguarda il suo utilizzo su processori della famiglia LEON per i quali fornisce due package software:

- SPARC architectural port, per l'utilizzo dell' RTOS su architettura SPARC
- Board Support Package (BSP), citato in precedenza, che include i drivers per tutte le periferiche afferenti al LEON

VxWorks offre numerose funzionalità real-time, tra le quali quelle sicuramente utilizzate da ExOS, SDPSW e ASW nell'ambito della PPU-M sono:

- Multitasking and Concurrency
- Priority-based preemptive scheduling
- OS initiate, start ISR, enter and exit, enable and disable
- System timer clock rate management
- Task service functions
- Memory management functions
- Semaphores functions for mutual exclusion and synchronization
- Inter-process communication facilities (queues/events)

I servizi appena citati sono normalmente forniti anche da altri RTOS disponibili in commercio o rilasciati come Open Source (ad esempio RTEMS). Nonostante questo TSD ritiene che la scelta di VxWorks sia la più opportuna per le seguenti ragioni:

- VxWorks è di gran lunga l'RTOS più impiegato in applicazioni spaziali (soprattutto missioni NASA) e come tale è stato validato in volo su numerose piattaforme
- TSD può dimostrare una ormai ventennale esperienza nell'utilizzo di questo RTOS, la libreria ExOS citata precedentemente è stata sviluppata utilizzando i servizi di VxWorks
- VxWorks offre una suite di tool di sviluppo tra le più avanzate che permette di accelerare il ciclo di sviluppo/testing/debugging
- Vari livelli di supporto sono disponibili da parte di WindRiver che possono fornire assistenza per tutto il ciclo di vita del software
- VxWorks è fornito con una suite di validazione chiamata *BSP Validation Test Suite* che risulta estremamente importante nell'attività di validazione del BSP+RTOS sul target hardware rappresentato da PPU-M. Tale suite permette in maniera automatica di effettuare un ingente numero di test con relativi report per verificare la compatibilità del sistema operativo con la processor board della PPU-M.

2.3 Processo di conduzione delle attività di fase A

A partire dal kick-off il project team, con il coordinamento del System engineer, effettuerà le seguenti attività, già avviate in forma preliminare durante la fase di proposta:

- Supporto alla definizione delle funzioni della PPU, delle interfacce della PPU verso lo S/C di Plasma Observatory e verso gli strumenti di particelle e delle capacità computazionali richieste;
- Supporto alla definizione delle funzioni della DPU, delle interfacce della DPU verso lo S/C

- di M- MATISSE e verso gli strumenti della suite e delle capacità computazionali richieste;
- Disegno preliminare della PPU di Plasma Observatory;
 - Disegno preliminare della DPU di M-MATISSE;
 - Supporto al Team Scientifico per le riunioni, review e teleconferenze che dovrà sostenere con ESA/ASI e con il consorzio di Plasma Observatory
 - Supporto al Team Scientifico per le riunioni, review e teleconferenze che dovrà sostenere con ESA/ASI e con il consorzio di M-MATISSE.
 - Produzione e consegna delle analisi e dei modelli richiesti da ESA per la MCR di PMO e MMT;
 - Produzione e consegna della documentazione richiesta da ESA per la MCR di PMO e MMT.

Le attività elencate sono di fondamentale importanza per stabilire una solida baseline progettuale, che rappresenta il maggiore valore aggiunto della fase iniziale in progetti di sviluppo di unità complesse come la PPU e la DPU; infatti le scelte architetturelle da un lato determinano il successo tecnico del progetto e dall'altro consentono ai responsabili della progettazione delle single schede componenti la PPU e la DPU di operare in maniera efficiente e soprattutto a basso margine di rischio nelle fasi successive del progetto. Il tempo utilizzato in questa fase del progetto rappresenta la migliore forma di investimento per il prosieguo delle attività. Questa fase sarà sviluppata mediante un processo di continua interazione tra il System Engineer ed i responsabili progettuali delle architetture HW e SW e del SW di processamento scientifico, processo agevolato dalla co-location del team responsabile dello sviluppo HW interamente di responsabilità di TSD. Questa fase verrà sviluppata in maniera iterativa a partire dal KO. In tale fase sarà molto stretto il rapporto con INAF. Per ridurre il rischio di problemi di interfaccia con i sensori sarà prestata grande attenzione alla condivisione delle scelte architetturelle ed al congelamento delle interfacce elettriche, elettroniche e termomeccaniche; tale processo sarà reso più agevole dall'esperienza specifica della TSD nella progettazione di schede spacewire, competenza ben riconosciuta in ambito sia nazionale che ESA.

Dopo l'avvio del progetto architetturelle inizierà la progettazione architetturelle preliminare delle schede e degli aspetti termomeccanici dell'housing; è sempre stato un driver fondamentale di successo delle unità sviluppate da TSD la progettazione concorrente delle schede, sia a livello circuitale che di PCB, e dell'housing; è infatti intima convinzione della TSD che le prestazioni richieste ad un'unità come la PPU e la DPU rendano assolutamente inscindibile fin dall'inizio la progettazione elettronica ed elettrica da quella termo-strutturale.

Particolare attenzione sarà destinata alle attività di "design to time", con l'identificazione del procurement dei long lead item. TSD avrà la possibilità di mettere a buon frutto le esperienze maturate in materia di procurement con la rinnovata capacità di ricorrere in maniera efficace al procurement centralizzato ed a quello indipendente.

2.3.1 Livello di maturità, nuovi sviluppi e soluzioni tecnologiche riutilizzabili

Dal punto di vista tecnologico TSD può vantare lo sviluppo di numerosi apparati simili alla PPU e DPU e di schede singole simili a quelle previste per le 2 unità. Nel piano strategico perseguito dall'azienda negli ultimi anni i principali drivers di sviluppo, tutti rilevanti per PPU e DPU, sono stati:

1. Focalizzazione sulle piccole piattaforme sulle applicazioni real time
2. Ricerca di nicchie di eccellenza tecnologica (data processing, Imaging, apparati ad elevate prestazioni, Size, Weight And Power ridotti)
3. Ricerca dell'indipendenza tecnologica (sia dal punto di vista della componentistica, sviluppando prodotti Itar Free, sia dal punto di vista delle forniture, mantenendo la completa autonomia su tutte le componenti tecnologiche)
4. Costruzione di forti core competence
5. Sviluppo di soluzioni proprietarie (dal punto di vista architetturelle e del progetto di dettaglio)

- delle singole schede)
6. Utilizzo di architetture semplici e replicabili (perche basate su VHDL proprietario per le diverse famiglie di FPGA)
 7. Utilizzo di interface standard e componentistica state of art
 8. Facilità di customizzazione (grazie ai punti 4/5/6/7)

La strategia di sviluppo tecnologico perseguita dall'azienda ha avuto due fonti di finanziamento utilizzate in maniera ricorrente, entrambe con una forte componente di investimento interno:

utilizzo dei contratti ESA/ASI; TSD ha sempre avuto la capacità di utilizzare i contratti ESA/ASI per perseguire specifici obiettivi di technological improvement, non limitandosi a realizzare prodotti che soddisfacessero i requisiti ma apportando significativi step di miglioramento per costruire il proprio bagaglio tecnologico

utilizzo di cofinanziamento; TSD ha saputo, nel corso degli anni, sfruttare al meglio le opportunità di co-finanziamento offerte da ASI (bandi tecnologici per PMI), ESA (SME LET iniziative), e dagli strumenti agevolativi (regionali, nazionali e comunitari) per effettuare investimenti in ricerca e sviluppo di natura fortemente tecnologica, approfittando delle opportunità offerte per sviluppare apparti basati su nuove soluzioni tecnologiche e portandoli ad elevati livelli di TRL

Nel patrimonio tecnologico maturato da TSD nel corso degli anni ci sono numerosi sviluppi che sono molto rilevanti per PPU e che testimoniano della capacità di TSD di poter produrre in tempi brevi e senza rischi quanto proposto. Tale patrimonio è relativo non solo a:

Soluzioni architetturali

- Utilizzo di bus proprietari ad elevato data transfer (fino a 4 Gbit/s)
- Architetture centralizzate e distribuite
- Soluzioni stacked e connessioni point to point
- Parallel processing
- FPGA based + simple components
- Ridondanza calda e fredda

e componentistica

- FPGA (Actel, Xilinx)
- Capacità di sviluppare ASIC se conveniente
- Estesa conoscenza del mercato della componentistica (rad-hard, militare, industriale)
- Autonoma capacità di testing/qualification (TSD ha condotto diverse campagne di qualifica di componentistica)

ma anche a specifiche schede ed implementazioni funzionali previste per PPU/DPU.

In particolare TSD è in grado di garantire la realizzazione in tempi rapidi di quanto previsto perché per ciascun elemento del sistema ha già realizzato numerose applicazioni per le quali è previsto esclusivamente un'adeguamento per beneficiare dell'incremento di prestazione offerto dalla nuova componentistica che si è resa nel frattempo disponibile:

CPU

- On board Computer basato su LEON4FT
- On board Computer basato su LEON2FT (Atmel AT697F)
- On board Computer basato su LEON 3 Soft IP core embedded nella FPGA ACTEL antifuse RTAX2000 o flash RT3PE3000L
- On board Computer basato su Xilinx Virtex-5QV

- Utilizzo del nuovo Quadcore di utilizzo per missioni spaziali Qormino

Intrfacce di comunicazione

TSD ha sviluppato schede con interfacce

- Very high speed (Channel link, camera link, wizard link, LVDS, MultiGbit)
- High speed (Spacewire up to 150 Mb/s, Splitters fino a 6 link Spacewire ridondati, Mux/Demux fino a 8 nodi Spacewire)
- Medium speed (can, 1553)

Mass memory

TSD ha sviluppato schede di storage ad elevate prestazioni su memoria non volatile

su:

- Flash devices (Storage rate fino a 2.88 Gbit/s, Storage Capacity fino a 1.54 Terabit)
- SATA devices (controller proprietario per applicazioni space low cost)

e su memoria volatile

- SDRAM

TSD ha sviluppato numerose schede/unità di compression FPGA based (rad-hard utilizzando ACTEL, not rad-hard utilizzando le famiglie Virtex della Xilinx) e ASIC based che implementano diversi algoritmi di compressione sia CCSDS che proprietari basati sulla trasformata Wavelet per applicazioni Pancromatica, Iperspettrali, Multispettrali

Inoltre TSD ha già in casa le piattaforme di sviluppo per le FPGA di ultima generazione fino alla Kintex

Nello specifico è importante evidenziare come le schede previste per la PPU e DPU sono basate su solide comunanze circuitali, tecnologiche e di componentistica con numerose altre realizzazioni effettuate in progetti simili. In particolare si vuole evidenziare come tutti i principali componenti proposti da TSD, dai driver spacewire (utilizzati anche per lo Spacewire Router della SWA DPU, scheda che ha dimostrato una notevole stabilità) al Leon3 UT699 di Aeroflex Gaisler, alle FPGA, alle memorie sono state utilizzate in numerose altre schede e pertanto non rappresentano una novità. Una menzione a parte merita il Backplane che TSD propone di realizzare con la tecnica del PCB rigid-flex che consente di ottenere notevoli benefici in termini di affidabilità e di risparmio di risorse critiche. Tali PCB richiedono una conoscenza molto peculiare che TSD possiede avendone sviluppati oltre una decina in precedenti progetti.

2.3.2 Piani

Una importante parte dell'attività sarà concentrata sulla redazione dei piani richiesti:

- Operation and calibration plan
- Critical technologies status and plan
- Design Development and verification plan
- Management Plan

Tali piani saranno redatti una volta definita la baseline progettuale per le due unità conformemente alla normativa ECSS applicabile secondo quanto previsto dal sistema qualità aziendale e definiranno le linee di sviluppo per le fasi successive dei 2 programmi.

2.3.3 Ciclo di sviluppo del SW

Come precedentemente indicato, i prodotti SW relativi alle 2 unità si possono riassumere in:

- *Bootstrap SW* residente in PROM (item da sviluppare)
- *BSP+RTOS* residente in MRAM (items da procurare)
- *ExOS* residente in MRAM (item da sviluppare)
- *SDPSW* residente in MRAM (item da sviluppare)
- *ASW* residente in MRAM (item da sviluppare)

Nel prosieguo è indicato il ciclo di sviluppo dei quattro componenti da sviluppare (Bootstrap SW, ExOS, SDPSW e ASW); laddove non specificato le attività sono da intendersi come applicabili ad entrambi i componenti

Il ciclo di sviluppo seguirà il tipico modello Waterfall come indicato nella seguente figura:

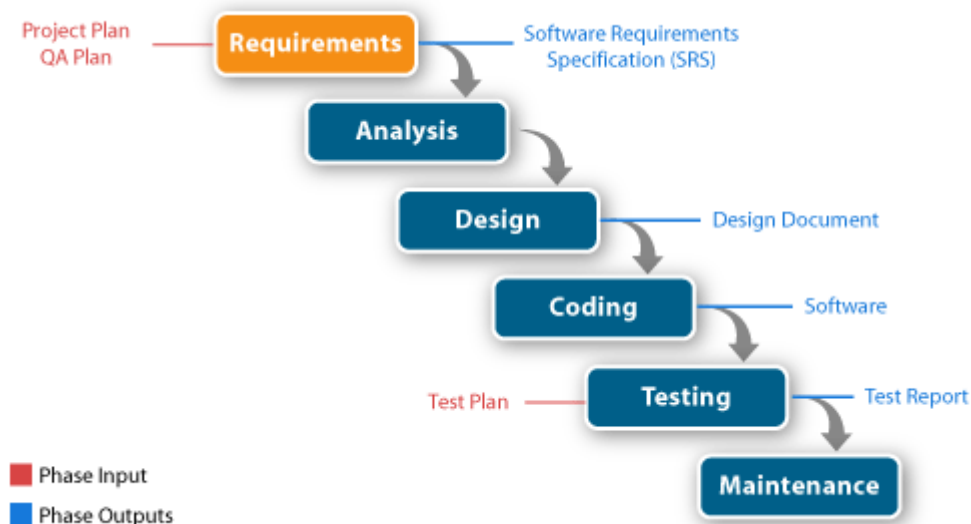


Figura 15: Ciclo di Sviluppo SW

Requirements

Le principali attività relative a questa fase del ciclo di vita sono rappresentate dall'assessment dei requisiti a livello sistema e dalla definizione dettagliata delle specifiche software che andranno usate nella fase successiva. L'output di questa fase è rappresentato dai seguenti documenti:

- ✓ Software Requirement Document
- ✓ Traceability Matrix delle specifiche software verso i requisiti a livello sistema

Analysis e Design

Durante questa fase saranno eseguite le seguenti attività:

- Definizione del design preliminare
- Definizione delle interfacce esterne del Bootstrap SW
 - verso PPU hardware
 - verso S/C (definizione TM/TC)

- Definizione delle interfacce esterne di ExOS
 - verso BSP/RTOS
 - verso ASW
 - Definizione delle interfacce esterne di SDPSW
 - verso ExOS
 - verso ASW
 - Definizione delle interfacce esterne di ASW
 - verso ExOS
 - verso SDPSW
 - Architectural design
 - Inizio fase di sviluppo
 - Definizione della strategia di Verifica e Validazione
 - Analisi interazione HW e SW
- L'output di questa fase è rappresentato dai seguenti documenti:
- ✓ Design, Development & Verification Plan
 - ✓ Software Architectural Design Document
 - ✓ Software Detailed Design Description
 - ✓ Software ICD
 - ✓ HSIA

Coding

I principali obiettivi di questa fase sono:

- Finalizzazione della codifica software
- Preparazione delle procedure dettagliate di test

Testing

I principali obiettivi di questa fase sono:

- Completamento fase di sviluppo
- Finalizzazione test procedures (unit, integration e system level)
- Validazione del BSP+RTOS su CPU board
- Unit testing
- Integrazione sw con ASW
- Integrazione sw con ASW e SDPSW
- Test funzionali del software integrato

Le attività di test verranno effettuate su tutti i modelli funzionali previsti nel piano di sviluppo. L'output di questa fase è rappresentato dai seguenti documenti:

- ✓ Detailed test procedures (unit, integration e functional level)
- ✓ Detailed test reports (unit, integration e functional level)
- ✓ Aggiornamento di HSIA/ICD/User Manual
- ✓ Preparazione dell' EIDP
- ✓ Acceptance Test Reports (subset dei functional test reports)

3 PROPOSTA GESTIONALE

3.1 Project team & persone chiave

Al fine di condurre le attività previste dal programma nella maniera più efficace ed efficiente possibile TSD ha stabilito un project team coordinato dall'ing. Monti che riveste il ruolo di Program manager allocando al programma il personale con maggiore competenza tecnica ed esperienza specifica derivante da progetti simil:

- ing. Raffaele Calvanese System engineer e responsabile dell'architettura HW
- Ing. Daniele Titomanlio responsabile dell'architettura SW
- Ing. Benito Confuorto, responsabile degli aspetti termo-meccanici-strutturali

Ovviamente il project team può contare sul supporto degli specialisti tecnici che assicurano la copertura di tutte le esigenze tecniche.

TSD ritiene che la citata organizzazione sia la più adeguata per gestire in maniera efficace ed efficiente le attività richieste. Di seguito sono riportate le principali motivazioni:

- ❖ esperienze pregresse hanno dimostrato che per progetti di dimensioni contenute come quello relativo alla fase A aver compagini troppo allargate comporta una notevole dispersione di risorse nella gestione di problemi non tecnici
- ❖ ciascuna Project Engineer si occupa delle area di rispettiva eccellenza tecnica dimostrata da molti anni di lavoro nel settore spaziale in progetti simili. Le problematiche tecniche associate allo sviluppo richiesto sono completamente presidiate dal team come composto
- ❖ le responsabilità e le interfacce sono chiaramente identificate e non si rilevano inutili sovrapposizioni ne aree non presidiate
- ❖ le risorse allocate sono sufficienti e con ampi margini per gestire eventuali imprevisti

Project & Contract Manager

Il Project & Contract Manager ha la responsabilità complessiva del progetto e del coordinamento del team di progetto e rappresenta il punto di contatto verso il committente INAF.

Il PM è responsabile diretto delle attività di management:

- ✓ Project reporting
- ✓ Action Item Control
- ✓ Risk Management
- ✓ RTI coordination
- ✓ Emissione della documentazione di management

Il ruolo, ricoperto dall'ing. Francesco Monti, responsabile aziendale dei Programmi, prevede la responsabilità su tutti i seguenti aspetti riferiti al programma:

- contrattuali
- amministrativi
- controllo economico
- reporting

L'ing. Monti ha piena autorità sul team di progetto ed ha la facoltà di disporre modifiche di budget e l'assegnazione di risorse aggiuntive al programma.

System Engineer

ha la responsabilità delle attività tecniche del progetto e delle attività di System engineering quale:

- ✓ Progettazione architettuale
- ✓ Autorizzazione alla emissione della documentazione tecnica

Il System Engineer assegnato al Progetto è l'ing. Raffaele Calvanese che ha operato e opera su Solar Orbiter ed altri programmi scientifici simili

Product Assurance & CADM

Il ruolo, ricoperto dall'ing. Enrico Vecchio, QA manager Aziendale, prevede la responsabilità su tutte le funzioni di

- quality assurance
- product assurance
- Configuration Management
- Safety

E' importante evidenziare che, qualora INAF lo ritenga utile ai fini del programma, il Project manager e System Engineer, il PA e CADM ed il Contract & Project control Officer possono fungere da interfaccia diretta verso tutti gli altri partner nazionali ed internazionali che concorrono al programma.

Project Engineer

I PE sono responsabili delle attività tecniche relative alle parti loro assegnate.

I PE incaricati per la ICU sono stati selezionati tra il personale TSD con maggiore esperienza e competenze specifiche per il progetto:

- HW Architecture Raffaele Calvanese, senior HW Engineer, che ha progettato, sviluppato e testato schede simili in numerosi altri progetti tra cui SWA DPU, SDAB, MOSS, EML.
- SW Architecture; l'ing. Daniele Titomanlio, responsabile SW aziendale, sarà il responsabile delle attività relative al SW coordinando anche il contributo di Planetek.

I componenti del project team si avvarranno del supporto di risorse specialistiche per funzioni tecniche quali

- VHDL design
- PCB masterization
- Procurement
- Boards electronic assembling
- Equipment integration

3.2 Presentazione TSD

- ❑ Techno System developments (TSD) is a fully private company founded in 1977 specialised in the design, development and manufacturing of high performance on board and ground electronic equipment for space applications
- ❑ Continuous innovation, the capability to develop original & proprietary architectures and the use of state of art technologies allow TSD to deliver high performance equipment, focused on real time processing and small platform applications
- ❑ **Competitive strength**
 - continuous innovation

- original architectures
- state of art technologies
- customization to user requirements
- compressed development time
- cost effectiveness

☐ **Products characteristics**

- real time processing
- high performance
- Reduced Size, Weight and Power
- Harsh environment

☐ **Technical expertise**

- Analysis and System Design
- Analog Electronics Design
- Digital Electronics Design
- VHDL, FPGA, ASIC
- Power Electronics Design
- PCB design
- S/W Design, Development & Testing
- Electronics manufacturing and integration
- Mechanical, Thermal & Structural
- Qualification & Environmental testing

☐ TSD operates on the following space market segments:

- Institutional, in the frame of Agency (ESA, ASI) programs with direct contract and/or under Prime contractors in the field of Microgravity, Technological developments, Earth Observation, Exploration, Navigation
- Commercial, most in the field of Earth Observation, by providing Prime contractors with general Avionics (OBDH, GN&C, PMS, TT&C, CDMU), Digital Video systems and Optical payloads electronics
- R &D, by supporting research centers such as CIRA (Italian Center for Aerospace research), INAF, CNR institutes and universities mostly for electronic developments in experimental/not recurrent applications

☐ TSD also operates in non space markets:

- Aeronautics
- Military

☐ TSD has successfully flown on board all the aerospace platform!!!



TSD has 4 main product families:

IMAGING SYSTEMS

- CAMERAS & Focal planes
- Electronics for ELECTRO-Optical Payloads
- COMPRESSION UNITS

SPACECRAFT AVIONICS

- On board Computer
- Data handling units
- Data Processing units
- Remote Terminal Unit
- GNC unit
- Power Unit & Batteries
- TM/TC

SCIENTIFIC PAYLOADS & INSTRUMENTS

- Microgravity payloads
- Electro-optical payloads

GROUND EQUIPMENT

- EGSE
- SCOE
- Ground Station

3.2.1 TSD Imaging Systems

TSD has a relevant experience in the development of Imaging Systems for space applications on board several platforms like Satellites, ISS, Capsule, Sounding Rockets, (more than 20 missions since 1993).

The related heritage is relevant from two main points of view:

- ✓ the applications (mission and space platform)
- ✓ the technologies developed and now owned of TSD

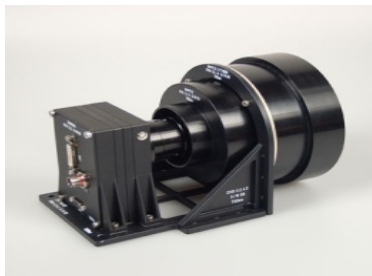
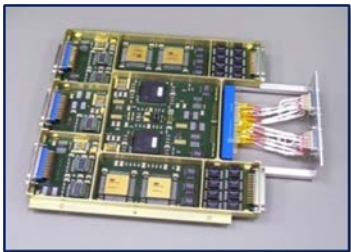
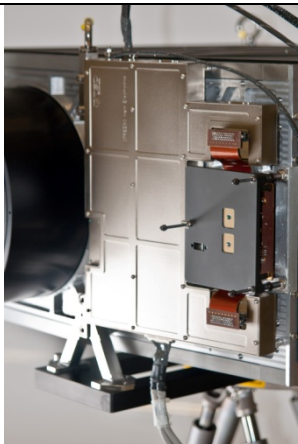
The main drivers adopted by TSD in the field of imaging systems have been:

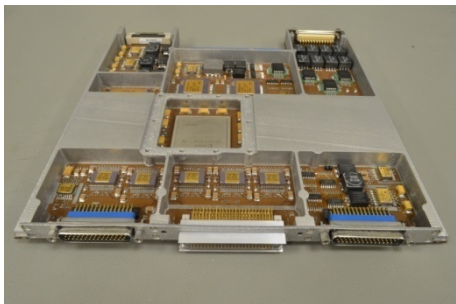
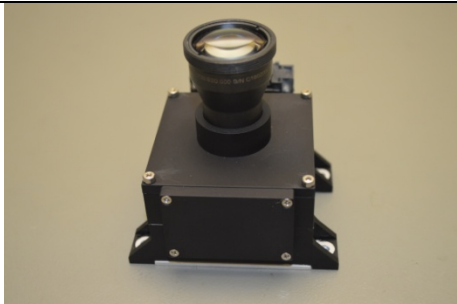
1. Focus on small platform and real time application
2. Look for technological excellence and for primeship in small niches
3. Aim at technological independance (from procurement source and external providers)
4. Build strong core competence
5. Develop proprietary solutions
6. Adopt simple and replicable architectures
7. Use of standard I/F
8. Easy of customisation (thanks to 4/5/6/7)

IMAGING PROGRAMS HERITAGE

Satellites

- Digital Video System for PRISMA Formation flying satellite
- Images Compression Unit for the Hyperspectral Italian Satellite PRISMA
- STREEGO telescope electronics and focal plane
- Argomoon Camera System
- Multi-head Star Tracker Argo camera and router

			
Prisma Camera	Prisma Camera Electronics	SDAB	STREEGO telescope focal plane & electronics

		
Compression System for Multispectral Imager of PRISMA satellite	Argomoon Camera heads	ARGO

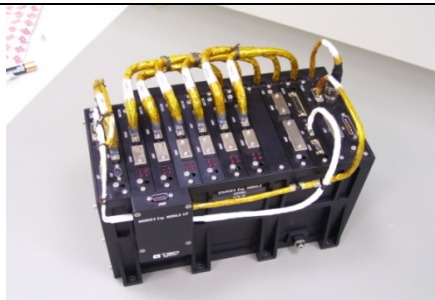
ISS

- Digital Video System for EML multiuser facility
- Stereoscopic camera Electronics
- Compressor board fo Very High Speed Camera
- Inspection camera for ISS robotic camera study

			
EML DVS	EML DVS Storage device	ERB-2	Compressor board for VHSC

Sounding rockets

- Digital Video System for payloads on board Maser 8-9-10-11-12-13
- Criofenix

		
H ² VMU for SOURCE payload	H ² VMU for Criofenix	H ² VMU for BIOMICS payload

Capsule

- Digital Video System for Foton Capsule

	
Foton Central Unit	FotonH ² VMU

Technological developments for ESA/ASI

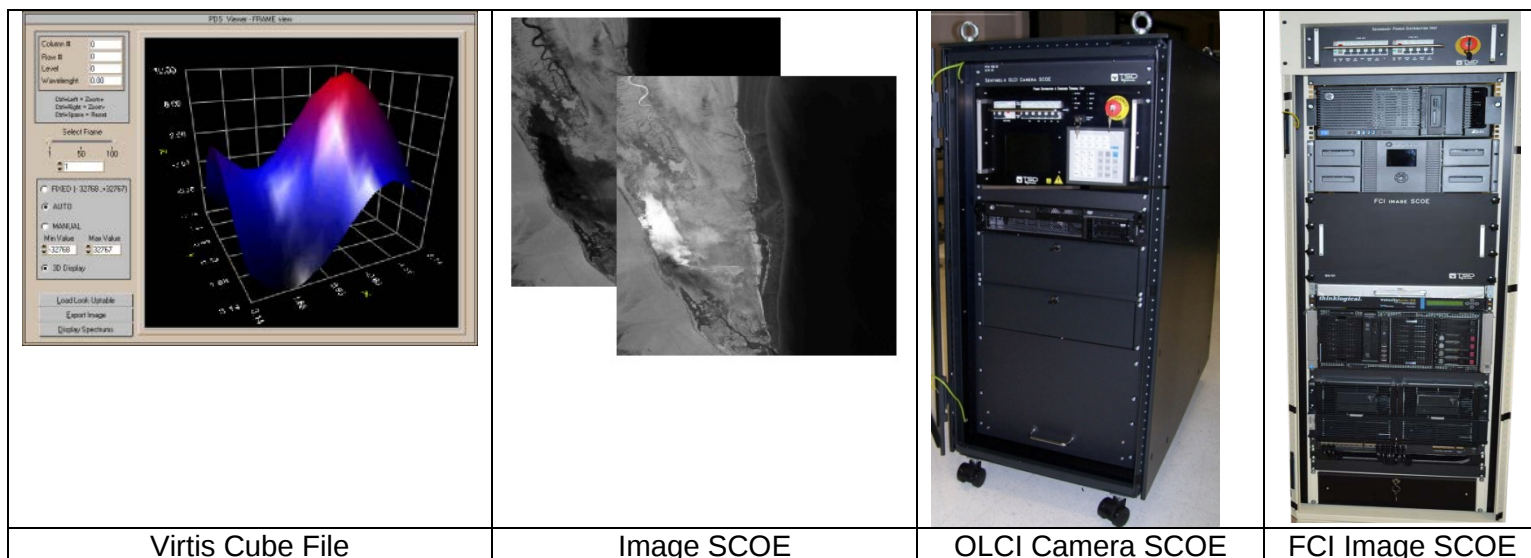
- MOSS
- VINAG
- HYDRA
- CWICOM

			
Trinocular Camera	HPVN	CMOS Camera	CWICOM

Image Processing EGSE/SCOE

- EML VGSE

- Virtis EGSE
- OLCI Camera SCOE
- OLCI Image SCOE
- FCI Image SCOE



TECHNOLOGICAL HERITAGE

Architectures

- Use of very high throughput for internal bus
- Staked solutions, point to point connections
- Parallel processing
- FPGA based + simple components
- Redundancy

Interfaces

- Very high speed (Channel link, camera link, wizard link, LVDS)
- High speed (spacewire up to 200 Mb/s)
- Medium speed (can, 1553)

Components

- FPGA (Actel, Xilinx)
- Capability to design ASIC (when convenient)
- Use of different image sensor (extensive knowledge of market offer)
- Different grades (rad-hard, military, industrial) and autonomous testing/qualification capability

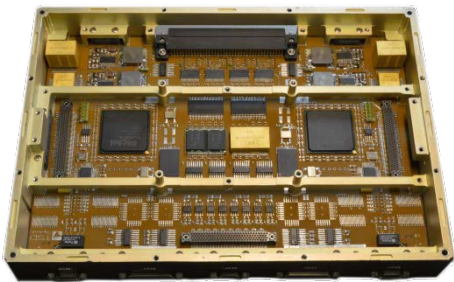
Compression

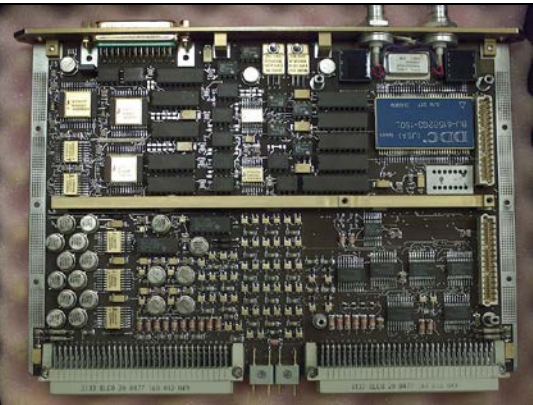
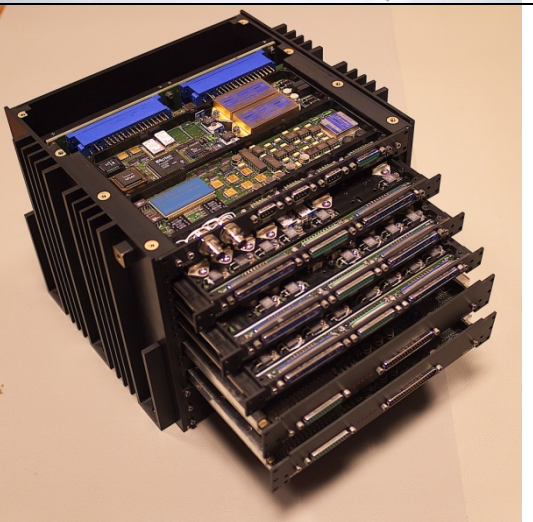
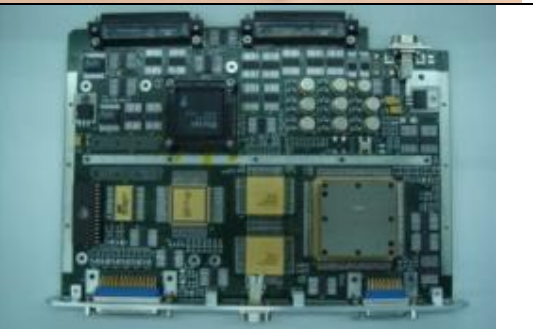
- CCSDS based compression algorithm (121, 122, 123)
- Wavelet based proprietary compression algorithm
- Panchromatic, hyperspectral, multispectral applications

Image processing

- Binning, Area of interest, feature extraction and tracking, disparity map, object recognition, navigation algorithm implementation, cube file reconstruction

3.2.2 Avionic System

Data Processing Unit for the SWA Instrument of Solar Orbiter	TSD is the prime of the Data Processing Unit for the Solar Wind Analyser to be flown on board the Solar Orbiter Mission. The DPU is dedicated to the management of the 3 SWA Sensors (EAS, PAS, HIS): - Sensor Configuration - Data Acquisition - Command execution - Scientific Data Processing - Power distribution	 DPU EM
Leon3 On Board computer	LEON3 Board fully redundant with two Leon3 hosted on RTAX2000; in only 160x233[mm] all the functions are implemented and fully redunded.	
Leon3 payload Data Processing Unit	The PDPM is a very compact (125 x 100 x 26 [mm]) and high performance Module specifically designed for space applications. The PDPM module electronic is built around a complex system-on-chip designed by Virtex-5 FPGA.	

SAR-Lupe and ARGO rad-hard board	In the frame of these two programs TSD has designed, developed and tested a number of rad-hard version • HK I/F • ACS I/F • Spacewire MUX/DEMUX	
Data Handling Unit of Foton capsule	TSD has developed a number of applications for the Foton capsule employed by ESA for microgravity experiments. The unit, as part of the Telescience Support Unit, was successfully flown on board a number of missions (12, M-1, M-2, M-3).	
USV Avionics	For the USV TSD has developed: ❖ Entire Avionics System including OBDH, GN&C, PMS, TT&C, Harness; ❖ Extended Operating System of on board SW; ❖ Rapid prototyping SW environment ❖ Ground Segment Network.	
TM/TC CCSDS boards	• On board TM/TC CCSDS Encoder & Decoder for VME 64 Standard Bus • On board Radiation Tolerant TM/TC CCSDS Encoder & Decoder Board •	

EGSE for Satellite Management Unit	The EGSE for Satellite management Unit developed by TSD includes: • SCOE allowing both stand alone testing of the ACS I/F and of the HK boards and integrated testing of the SMU • TM/TC GSE, a complete system for the on-ground functions related to the CCSDS TM and TC downstream the antenna system	
Satellite Image Compression Unit	• For the Swedish Formation Flying Satellite Prisma TSD developed a Compression Unit dedicated to image data	
Data Handling & Processing System	• Based on the HPVN developed for the MOSS system this very powerful processing unit can be used for general purpose Data Handling & Processing System	

3.2.3 Scientific payloads & instruments

CONTROL & DATA MANAGEMENT SYSTEM INCLUDING

- ❖ Signal acquisition
- ❖ Actuator Drivers
- ❖ Video Diagnostic
- ❖ Processing
- ❖ Power distribution
- ❖ Data transmission

For different platforms

Satellites

- SDAB for PRISMA Hyperspectral Payload
- MASCOT Payload Control System

Capsule

- Data Handling Unit for Foton 12, m-1, m-2, m-3

Sounding rockets

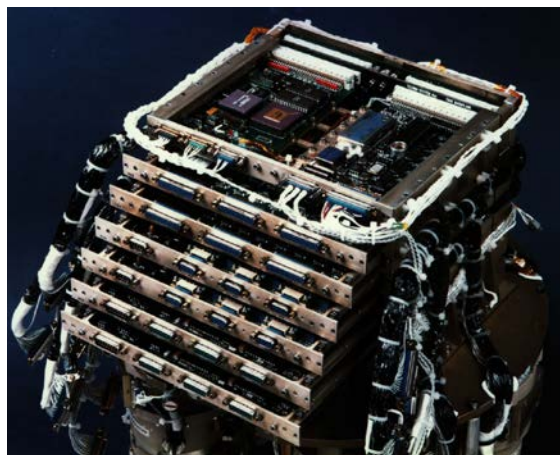
- Control & Data Management System for Scientific payloads on board Maser 10- Maser 8- Maser 6- Maxus 5- Texus 34 - Minitexus;

SHUTTLE

- GET AWAY payload G-22
- GET AWAY payload EMITS
- SCOE for BDPU

Unmanned Air Vehicle

Control & data management system for Dust Analysis payload



3.2.4 Ground segment

- ☐ EGSE
- ☐ SCOE
- ☐ ASIC Validation Platform
- ☐ I/F Bridge
- ☐ TELEMETRY/TELECOMMAND STATION



VIRTIS EGSE



- FCI Image SCOE
- EGSE for PRISMA Satellite
- 1553 SCOE
- CDIU EGSE
- EGSEs for OLCI SENTINEL-3 Programme (Camera SCOE and Image SCOE)
- EGSE for SAR-LUPE and ARGO Satellites

- Ground Support & Test Equipment for MASER 12, FOTON12, FOTON M1, FOTONM2 and FOTONM3
 - Electrical Ground Support Equipment for VIRTIS Experiment (Rosetta Spacecraft and Venus Express)
 - On Board Software Integration Facility for USV
 - Telecommand System for Stratospheric Ballon
 - EGSE for scientific modules (INEX MAM III-CDIC-TRUE)
 - DVS (Digital Video System) EGSE
- Control Systems for Test facilities (Wind Tunnel "SCIROCCO", Crash Test "L.I.S.A.")

3.2.5 FACILITIES

Infrastructures

- 200 mq of 1:100.000 clean rooms dedicated to boards electronic assembling (80 mq) and to board and system testing (120mq)
- 200 mq of fully equipped laboratory dedicated to boards electronic assembling (80 mq) and to board and system testing (120mq) for electronics not requiring clean room environment
- 100 mq of environmental test room hosting vibrating platform, thermal-vacuum chamber, EMC/EMI test equipment and RF test equipment
- 200 mq of fully equipped mechanical and integration laboratory

All the laboratories and the office (for an overall area of about 1350 mq) are controlled by a very sophisticated and integrated monitoring and control system developed by TSD thanks to the know how acquired in programs related to similar monitoring and control systems dedicated to industrial applications.

Facilities

For electronic design

- ⇒ Fully integrated ViewLogic Simulation system complete with digital, analog and integrated simulator
- ⇒ VHDL modelling, synthesis and simulation equipment
- ⇒ PADS and Viewdraw for schematic entry
- ⇒ PowerPCB router
- ⇒ AutoCad and B-Cad for electronic housing design

For board development and testing

- ⇒ State Analyser Philips/HP
- ⇒ Spectrum Analyser Tektronix
- ⇒ Digital Oscilloscope Tektronix /HP
- ⇒ Analog Calibrators
- ⇒ Bus VME State Analyser Vmetro
- ⇒ Pattern Generator HP
- ⇒ Signal Generator HP
- ⇒ Frequency Generator HP
- ⇒ Emulators for mP
- ⇒ Acquisition and calibration equipment HP

⇒ Programmable Power Supply

For board manufacturing and integration

- Clean Room 100.000 ppm
- ⇒ Laminar Flow Bench 10.000 ppm
- ⇒ Soldering/unsoldering station for traditional and SMD assembly
- ⇒ Microscope for quality control

System test

- ⇒ Vibrating platform
- ⇒ Thermal Vacuum Chamber
- ⇒ EMC test equipment
- ⇒ HP Data Acquisition System for test monitoring



3.2.6 ORGANIZATION

Informazioni generali

- Risorse umane
La struttura operativa della TSD è così costituita:
2 Amministratori
1 Responsabile Tecnico
1 Responsabile Programs & Sales
1 addetto amministrativo
15 tecnici (di cui 5 quadri) addetti alle attività caratteristiche di Ingegneria e di Ricerca e Sviluppo. L'organigramma aziendale è riportato nella seguente figura.

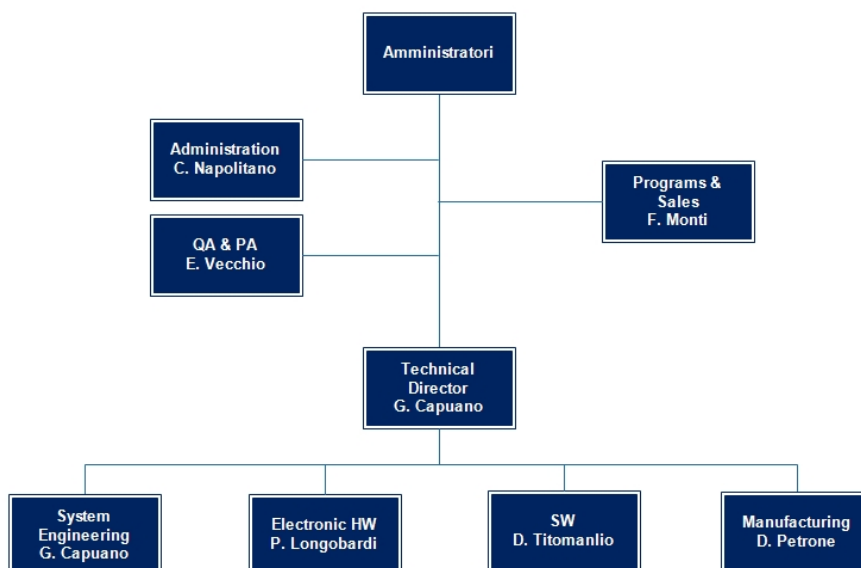


Figura 5- Company Organization

- Sede di attività
Nella sede unica (legale, amministrativa ed operativa) di via Provinciale Pianura 2, Zona Industriale San Martino int.23, 80078 Pozzuoli (NA), regione Campania, Italia, vengono svolte tutte le attività HW e SW di Progettazione, sviluppo e realizzazione di apparati elettronici per applicazioni spaziali

- Strutture di ricerca e sviluppo e di progettazione da coinvolgere nelle attività previste dal progetto

Tutto il personale tecnico della TSD viene coinvolto nelle attività di ricerca, sviluppo e progettazione sui diversi programmi, sia quelli per i quali esiste un contratto di vendita e sia per i programmi che sono sviluppati con budget interno, co-finanziati o meno.

La struttura tecnica può contare su un team stabile di 15 persone con grande esperienza di progetti di sviluppo di apparati elettronici complessi per le applicazioni aerospaziali.

Le competenze tecniche caratteristiche del team TSD sono:

- ✓ Analysis and System Design
- ✓ Analog Electronics Design
- ✓ Digital Electronics Design
- ✓ VHDL, FPGA, ASIC
- ✓ Power Electronics Design
- ✓ PCB design
- ✓ S/W Design, Development & Testing
- ✓ Electronics manufacturing and integration
- ✓ Mechanical, Thermal & Structural
- ✓ Qualification & Environmental testing

La TSD dispone di un Sistema di Qualità aziendale certificato secondo la norma ISO 9001-2008 e che include le procedure di PA, QA, CADM e Safety tipiche del settore spaziale secondo le normative ECSS.

Il flusso/processo aziendale caratteristico è riportato nella figura seguente insieme con le attrezzature e le apparecchiature principali utilizzate per ciascuna fase. Per semplicità di lettura il diagramma di flusso non mostra la concorrenzialità delle attività che caratterizza sempre più il processo aziendale tipico della TSD e ne costituisce uno dei principali punti di forza.

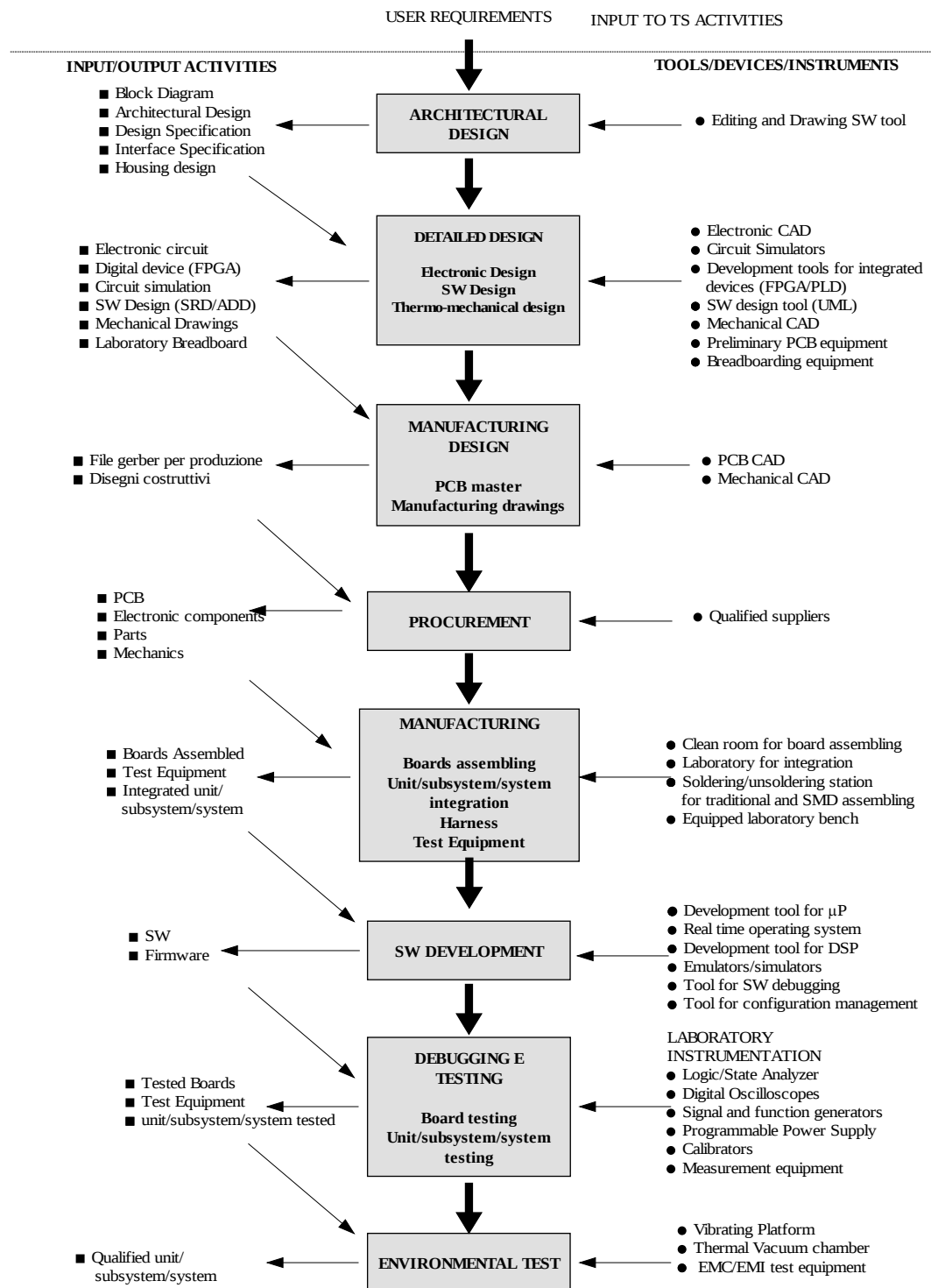


Figura 6- TSD Process Flow

Il personale TSD addetto alle attività di integrazione ed assemblaggio è qualificato secondo le seguenti normative ECSS adottate nel settore spaziale:

- The manual soldering of high-reliability electrical connections (ECSS-Q-70-08A)

- High Reliability soldering for surface-mount and mixed technology printed circuit boards (ESA-PSS-01-738 issue 1)
- Wire-wrapping of high-reliability electrical connections (ECSS-Q-70-30A)
- The crimping of high-reliability electrical connections (ECSS-Q-70-09A)
- The repair and modifications of PCB assemblies for space use (ESA PSS-01-728 Issue 2)

A riprova della capacità del team TSD di essere in grado di svolgere le attività di project office basta evidenziare che TSD ha svolto le stesse attività in decine di progetti ESA ed ASI, anche molto più importanti dal punto di vista del volume di attività e molto più complessi dal punto di vista organizzativo; basti pensare al progetto della DPU per SO SWA in cui TSD ha svolto il ruolo di prime mandataria di un RTI le cui mandanti sono Sitael, Leonardo e Planetek, ed in cui il committente è costituito dal punto vista contrattuale da ASI, dal punto di vista scientifico da 4 centri di ricerca internazionali (INAF per l'Italia, MSSL per UK, IRAP per la Francia, SWRI per USA) e dal punto di vista industriale da MSSL/Airbus/ESA.

A riprova della capacità del team TSD di essere in grado di svolgere le attività di ricerca e sperimentazione elencati nel bando è sufficiente riferirsi al curriculum della TSD ed al numero di contratti completati con successo in ambito spaziale ed in ambito dei payload scientifici per sperimentazione in condizioni di microgravità (ref §2).

For the execution of programme activities of relevant importance TSD define specific roles and responsibilities to set up a project team in order to better develop programme activities. Depending on the programme complexity and importance the typical figures appointed to project team are:

- Contract manager, responsible for legal, administrative and contractual aspects
- Programme manager, responsible for the overall results of the programme both towards the customers and towards the company
- Technical manager, responsible of the technical programme activities
- PA Manager, responsible for quality and product assurance activities
- Project engineers, represented by technical personnel who is assigned the responsibilities of specific tasks

TSD dispone delle competenze e delle infrastrutture sia per la progettazione, che per lo sviluppo, realizzazione e test di FOPAC.

3.3 List of Deliverables

Nella tabella successiva sono riportati i deliverables previsti, che per conformità e semplicità sono ricavati direttamente dal capitolato tecnico di INAF

3.3.1 M-Matisse DPU

		Phase-A
Package title	Document Title	MCR
Engineering	ICD's	X
	Operation and calibration plan	D
	Design Description and justification files	X
	Instrument Budgets	X
	Instrument requirements	X
	Performance analysis	X
	Analyses	X
	Critical technologies status and plan	X
	Design Development and verification plan	X
Models	Structural Mathematical Model (FEM)	X
	Thermal and Geometrical model	X
	CAD model	X
	Optical model	X
	Radiation model	X
	Performance model	X
Management	Instrument schedule	X
	Management Plan	X
	Risk assessment and mitigation	X

3.3.2 PO PPU

		Phase-A
Package title	Document Title	MCR
Engineering	ICD's	X
	Operation and calibration plan	D
	Design Description and justification files	X
	Instrument Budgets	X
	Instrument requirements	X
	Performance analysis	X
	Analyses	X
	Critical technologies status and plan	X
	Design Development and verification plan	X
Models	Structural Mathematical Model (FEM)	X
	Thermal and Geometrical model	X
	CAD model	X
	Optical model	X
	Radiation model	X
	Performance model	X
Management	Instrument schedule	X
	Management Plan	X
	Risk assessment and mitigation	X

3.4 Attività di proposta

- Resoconto dello stato delle attività su base mensile;
- Studio della fattibilità dei compiti opzionali della PPU e della DPU;
- Stima delle performance di calcolo dei momenti e della compressione dati. La PPU e la DPU dovranno essere progettate con risorse computazionali HW e SW adeguate a garantire che il calcolo dei momenti e la compressione dei dati possano essere effettuati a bordo simultaneamente e in real-time. Nel caso in cui il design proposto non consentisse il processamento dei dati in tempo reale, dovrà essere chiaramente indicata la risoluzione temporale massima stimata per il calcolo dei momenti e la compressione dei dati.
- Disegni preliminari della PPU e della DPU comprensivi dei report di analisi e trade-off riguardanti la valutazione di soluzioni di design alternative e la giustificazione delle scelte adottate, con particolare riguardo alle soluzioni tecniche proposte per l'implementazione del calcolo dei momenti e della compressione dei dati in tempo reale rispetto alle prestazioni di calcolo stimate per la PPU e per la DPU;
- Documenti di controllo delle interfacce (meccanica, termica e software);
- Piani preliminari di calibrazione dello strumento in volo e a terra;
- Documenti sui budget tecnici degli strumenti (massa, potenza, volume, capacità di memoria, termico,...);
- Contributo alla stesura delle matrici di tracciabilità con i requisiti del payload e relativi giustificativi;
- Analisi strutturale, termica, elettrica e di radiazione della PPU e della DPU;
- Valutazione del livello di maturità della tecnologia proposta (TRL) ed identificazione di eventuali tecnologie critiche per la PPU e per la DPU, corredata da relativo piano di attività di pre-sviluppo;
- Definizione preliminare di un piano di sviluppo, verifica e test che rispecchi la filosofia dei modelli scelta e includa le matrici di tracciabilità con i requisiti della PPU e della DPU;
- Modelli: FEM, termici, meccanici, CAD, di radiazione e performance per la PPU e per la DPU;
- Contributo al controllo della pianificazione temporale delle attività, identificazione ed analisi di attività sul cammino critico;
- Definizione di un piano di gestione delle attività industriali relative alla PPU e alla DPU;
- Definizione di un piano di gestione del rischio (identificazione, controllo e mitigazione dei rischi).

3.5 Pianificazione

TSD dichiara la compliance a quanto richiesto da INAF in termini di pianificazione secondo quanto riportato nella tabella seguente:

Draft - Schedule Riunioni	
Riunione	Evento
Kick-Off (KO)	T0 (Sep '24)
Technical Progress Meeting (TPM)	T0 + 2M (Nov '24)
MCR Deliverable Review (MCR/DR)	T0 + 4M (Jan '25)
Riunione Finale (RF)	T0 + 6M (Mar '25)

4 OFFERTA ECONOMICA

Il prezzo di offerta ha un importo totale a corpo di **60.000** euro

Il dettaglio della stima dei costi per attività è riportato di seguito:

- Technical Requirement Assessment & support to scientific team: 10 K
- HW Architectural Design: 20 K
- SW Architectural Design; 5 K
- Issue of documentation; 25 K